

10 群 (集積回路)

1 編 基本構成と設計技術

(執筆者：編幹事団) [2009 年 4 月]

■概要■

集積回路が完成するまでの工程は、設計 (design)、チップ製造 (fabrication, processing)、テスト実行 (testing)、実装 (packaging) という四つの段階に大別できる。このとき、設計とは、与えられた仕様を満たす製品 (集積回路) を製造するために行われる作業と、その製品を検査 (テスト) するために行われる作業の全体を意味する。本編の中では、設計という語を、論理設計や回路設計などのように、設計工程の一部を表すためや、IP ベース設計や低消費電力設計などのように、設計方式 (design principle) あるいは設計方法 (design method) を表すためなど、いくつかの異なる意味で用いている。これらは慣例に従ったものであり、既に広く流通しているため、あえて書き分けることはしないが、これらは、本編で考える集積回路の『設計』の一部である。

集積回路を作成するには、仕様で指定された入出力条件を満たす回路を生成し、それをチップ製造に用いるマスクに変換する必要がある。回路は、集積回路上に実現されるシステムの構造的側面 (structural view) を表現 (記述) したもので、部品 (モジュール: module) の接続関係 (topology) を示しているのに対して、マスクは幾何学的データ (geometrical data) である。また、集積回路上のシステムは、そこで用いられる部品にとらわれることなく、与えられた入力に対して、仕様を満たす出力を得るために実行すべき動作に着目し、アルゴリズムとして表現すること (behavioral view) もできる。ただし、アナログシステム (回路) の場合には、動作を構造から切り離して単独に考えることは少なく、動作 (機能) と構造を同時に考えるが、その動作 (機能) を記述することはできる (図 1 参照)。

このように、集積回路設計には、システムの動作表現を構造表現に、構造表現を幾何表現に変換するという作業が含まれる。本編では、このような表現の変換作業及び回路モジュール (部品) の抽象レベルに応じて、集積回路設計を以下の工程に分けて考える。

- (1) システム仕様設計
- (2) 機能・動作設計
- (3) 論理設計
- (4) 回路設計
- (5) レイアウト設計
- (6) マスク設計
- (7) テスト設計

ここで、(2) ~ (4) の各工程には動作表現を構造表現に変換する作業が含まれ、(5) の工程において、構造表現が幾何表現に変換される。各工程の詳細は後述されるが、必ずしもこれらの工程が上から順に逐次的に実行されるわけではなく、機能・動作設計において、幾何表現を予測するため、レイアウト設計の一部を実行したり、レイアウト設計と論理設計の間で繰り返しを行ったりすることもある。(7) のテスト設計は、テスト実行のために行う作業である。なお、本編では 1 チップの集積回路を対象とし、複数のチップで電子システムを実現する技術は扱わない。そのような技術の一端は、2 章 2-5 節の実装技術において紹介する。

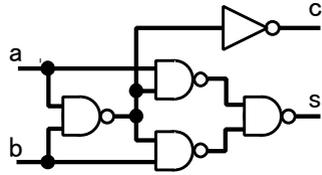
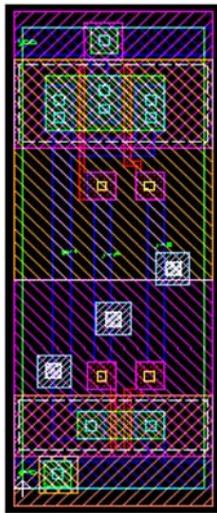
```

module sample_hold( in, out, clk );
  input   in, clk ;
  output  out;
  voltage in, out, clk ;
  parameter real  slewrate = 1.0e-9 from (0:inf);
  parameter real  clk_vth = 2.5 ;
  real  v ;

  analog
  begin
    if (analysis("static") || (V(clk) > clk_vth))
      v = V(in); // passing phase
    @(cross(V(clk)-clk_vth,-1))
      v = V(in); // sampling phase
    V(out) <+ slew(v,slewrate);
  end
endmodule

```

(a) サンプルホールド回路の動作表現の例

(b) 半加算器の構造表現
—論理ゲートレベル—

(c) 2入力 NAND のレイアウト図

図 1 動作表現, 構造表現, 幾何表現

注: 図 1(a) は, 下記から引用したものを变形した (2009 年 4 月 9 日)

http://www.vhdl.org/verilog-ams/htmlpages/sample_lib.adcm.html#Analog/DigitalConverter

図 1(c) は, A.LSI (株) 山田明宏氏から頂いた

設計において実行される異なる表現間の変換作業を合成 (synthesis) と呼ぶ。設計では、合成以外に、それぞれの表現自体を変形するという作業も行われるが、そのような同一表現内の変形は、通常、仕様で与えられた条件を満たすために行われ、最適化 (optimization) と呼ばれる。

このような合成・最適化作業を実行した場合、それらの作業が正しく行われたかを確認する検証 (validation) や、得られた表現のシステムがどの程度指定された条件を満たすかを調べるという解析 (analysis) を行う必要が生ずる。このような検証・解析が、実機による実験や、理論的に行えない場合、システムを何らかの形式で表現 (モデル化: modeling) し、その上でどのような動作をするかを模擬すること (シミュレーション: simulation) により、調べることになる。今、仕様で示される設計対象の制約条件及び設計目標を掌握し、これらを動作、構造、あるいは幾何表現として記述する作業をデータ表現と呼び、これをモデル化と同じ分類に入れることにすると、設計において実行される作業は、以下の三つに大別できる。

- (Ⅰ) モデル化 (modeling), データ表現 (representation)
- (Ⅱ) 合成 (synthesis), 最適化 (optimization)
- (Ⅲ) 検証 (validation), 解析 (analysis), シミュレーション (simulation)

そこで本編では、集積回路設計の代表的な方式・方法で用いられている設計技術 (technology) を、これら (Ⅰ) ~ (Ⅲ) の作業と、上に示した (1) ~ (7) の工程の観点から整理し、紹介する。その構成は下記のようになっている。

【本編の構成】

1 章“集積回路設計”では、(1) ~ (7) の各工程の概要、設計目標による設計方法の分類、設計環境、記述言語、及び集積回路設計の進歩の歴史を紹介する。

2 章“基本構成”では、集積回路設計工程で現れる種々のモジュール (部品) を、デジタル回路、メモリ、アナログ回路、配線の四つに分類して紹介するとともに、製造の最終工程である実装技術について述べる。

3 章“設計技術”では、集積回路設計で用いられる種々の設計技術を紹介する。上述の (1) ~ (7) の各工程に関して記述するとともに、設計目標が消費電力の最小化である場合の技術の一つの節を設けて記述する。

なお、付録『設計技術 (2 次元目次)』において、種々の設計技術を、(Ⅰ) ~ (Ⅲ) の作業と (1) ~ (7) の工程の観点から分類し、2 次元の表で示しておく。これにより、集積回路設計技術全体を俯瞰し、将来の技術動向を予測できるようになることを期待している。なお、この目次において、一番右の欄には、設計方式、設計方法として流通している用語をリストしてある。

【1 編 知識ベース委員会】

- 編主任： 築山修治 (中央大学)
- 編幹事： 高橋篤司 (東京工業大学)
- 神戸尚志 (近畿大学)
- 黒田忠広 (慶應義塾大学)
- 藤原秀雄 (奈良先端科学技術大学院大学)

執筆委員：宇野 正（株式会社 半導体理工学研究センター）
村方正美（株式会社 半導体理工学研究センター）
今井正紀（株式会社 半導体理工学研究センター）
吉田憲司（株式会社 D2S）
山田 節（三洋電機株式会社）
竹内 健（東京大学）
石黒仁揮（慶應義塾大学）
佐藤高史（東京工業大学）
本多 進（NPO 法人 サーキットネットワーク）
山田晃久（シャープ株式会社）
浜口清治（大阪大学）
戸川 望（早稲田大学）
湊 真一（北海道大学）
松永裕介（九州大学）
澁谷利行（株式会社 富士通研究所）
藤吉邦洋（東京農工大学）
若林真一（広島市立大学）
広瀬文保（日本ケイデンス・デザイン・システムズ社）
安倍慈久仁（日本ケイデンス・デザイン・システムズ社）
市川仁子（日本ケイデンス・デザイン・システムズ社）
奥秋勝己（日本ケイデンス・デザイン・システムズ社）
高橋 寛（愛媛大学）
梶原誠司（九州工業大学）
細川利典（日本大学）
井上智生（広島市立大学）
米田友和（奈良先端科学技術大学院大学）
安藏顕一（株式会社 東芝）
三浦幸也（首都大学東京）
亀山修一（富士通株式会社）
中村 宏（東京大学）
宇佐美公良（芝浦工業大学）