

■10 群 (集積回路) - 3 編 (システムオンチップ技術)

6 章 低電力化技術

(執筆者：野村昌弘) [2009 年 9 月 受領]

■概要■

本章では、システムオンチップ (SoC) における低電力化技術を扱う。

本編の最初に述べたように、IP コアはロジック、メモリ、アナログに大きく分けられる。それぞれ回路上異なる性質をもつため、それに合わせた低電力化が必要となる。また、アナログに分類されるが、別チップに実現されてきた無線回路、電源回路などはオンチップ化も進んでおり、それらの特徴に合わせた低電力化も考慮する必要がある。

一方で、電力は、トランジスタや配線などの負荷容量の充放電に伴うスイッチング電力、トランジスタのスイッチング時の過渡状態に発生する貫通電力、トランジスタのオフ時に発生するリーク電力、そしてアナログ定電流源などにおける DC 電力の四つの成分からなっている。また、素子寸法と電圧のスケーリングに伴い、リーク電力の増加や、素子ばらつきの影響を、一層考慮する必要がある。

このように SoC の低電力化を考える場合、それぞれの IP コアの特徴に合わせるとともに、スケーリングの影響を含めた各電力成分の傾向を把握し、効果的に削減することが鍵となる。

【本章の構成】

本章では、低電力化に関する基礎理論 (6-1 節)、低電力ロジック技術 (6-2 節)、低電力メモリ技術 (6-3 節)、低電力アナログ技術 (6-4 節)、低電力無線技術 (6-5 節)、低電力電源技術 (6-6 節)、をそれぞれ示す。

■10 群 - 3 編 - 6 章

6-1 基礎理論

(執筆者：野村昌弘) [2009年9月 受領]

SoC は、通常、ロジック部、メモリ部、アナログ部を有し、無線部や電源部を有する場合もある。電源部を除く SoC の消費電力 P_{SUM} は、各部の和であるとともに、以下のように、消費電力の成分の和としても表される。負荷容量 C の充放電に伴うスイッチング電力 P_{SW} 、その際の貫通電力 P_{SC} 、リーク電力 P_{LEAK} 、そしてアナログ定電流源などにおける DC 電力 P_{DC} の四つの成分からなる^{1,3)}。

$$P_{SUM} = P_{SW} + P_{SC} + P_{LEAK} + P_{DC} \quad (6 \cdot 1)$$

ここで、それぞれの成分は以下のように表される。

$$P_{SW} = \alpha \times C \times V_S \times V_{DD} \times f = I_{SW} \times V_{DD} \quad (6 \cdot 2)$$

$$P_{SC} = \alpha \times I_{SC} \times \Delta t_{SC} \times V_{DD} \times f \quad (6 \cdot 3)$$

$$P_{LEAK} = I_{LEAK} \times V_{DD} \quad (6 \cdot 4)$$

$$P_{DC} = I_{DC} \times V_{DD} \quad (6 \cdot 5)$$

ここで、 α は動作率、 C は負荷容量、 V_S は信号振幅電圧、 V_{DD} は電源電圧、 f は動作クロック周波数、 I_{SW} はスイッチング電流、 I_{SC} は貫通電流、 Δt_{SC} は貫通時間、 I_{LEAK} はリーク電流、 I_{DC} は DC 電流である。電源部の電力変換効率を η とすると、全消費電力 P_{ALL} は以下で表される。

$$P_{ALL} = P_{SUM} / \eta \quad (6 \cdot 6)$$

図 6・1 に CMOS インバータ回路の消費電流の内訳を示す。(a) に動作時の消費電流を、(b) に定常時の消費電流を示す。動作時には I_{SW} と I_{SC} が流れる。 I_{SC} は pMOS と nMOS が過渡的に同時にオンになる期間 (Δt_{SC}) の平均貫通電流で、 $C=0$ のとき、次式で示される⁴⁾。

$$I_{SC} = \frac{\beta}{12V_{DD}} (V_{DD} - 2V_{TH})^3 \frac{\tau}{T_{CLK}} \quad (6 \cdot 7)$$

ここで、 β はゲイン定数、 V_{TH} はしきい値電圧、 τ は入力信号の立上り立下り時間、 T_{CLK} はクロック周期 ($=1/f$) である。 I_{SC} は入力信号が鈍り、 τ が大きくなると増加する。ただし、 C の存在により出力信号変化が鈍ると I_{SC} は減少し、入出力の立上り立下り時間が等しい場合、全ダイナミック電流の 10% 程度と解析されている⁴⁾。通常、動作時には I_{SW} が支配的といえる。

定常時には I_{LEAK} が流れる。図 6・2 に示すようにトランジスタのドレインソース間に流れるサブスレッショルドリーク電流 I_{SUBTH} とゲート絶縁膜のトンネル電流であるゲートリーク電流 I_G が主なものである^{1,3,5)}。

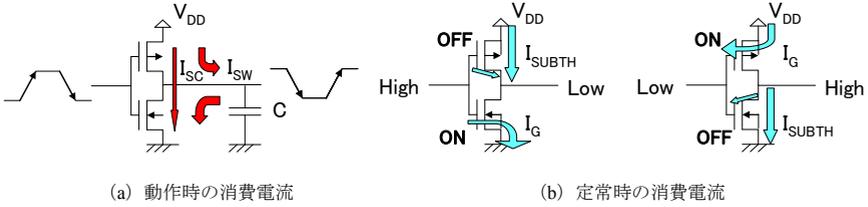


図 6-1 CMOS 回路の消費電流

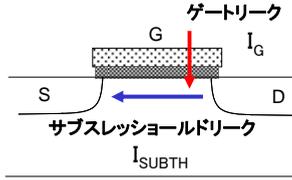


図 6-2 MOS トランジスタのリーク電流

図 6-1(b)に示すように、回路の入出力状態により、リーク電流パスは変化する。 I_{SUBTH} はオフ状態のトランジスタのドレイン-ソース間に流れ、 I_G は主にオン状態のチャネルが形成されるトランジスタにおける電位差のあるゲート-ソース間に流れる。 I_{SUBTH} は次式で表される。

$$I_{SUBTH} = I_{DS0} \times e^{\frac{-V_{TH}}{nV_T}} \quad (6 \cdot 8)$$

ここで、 $I_{DS0} = \beta V_T^2 e^{1.8}$ 、 $V_T = \frac{kT}{q}$ 、 $\beta = \mu C_{ox} \frac{W}{L}$ 、 $n = 1 + \frac{C_D}{C_{ox}}$ であり、 k はボルツマン定数、 T は絶対温度、 q は素電荷、 μ は移動度、 C_{ox} はゲート容量、 W はチャネル幅、 L はチャネル長、 C_D は空乏層容量である。 I_G は次式で表される。

$$I_G = K_2 \left(\frac{V_{DD}}{T_{OX}} \right)^2 e^{-k_2 \frac{T_{OX}}{V_{DD}}} \quad (6 \cdot 9)$$

ここで T_{OX} はゲート絶縁膜厚、 K_2 と k_2 は定数である。 I_{SUBTH} と I_G はいずれも指数的に増加する項を有し、スケーリングの影響を無視できない。また I_{SUBTH} は温度依存性も大きく、高温で顕在化する。

集積回路は素子寸法と電圧のスケーリングにより消費電力と遅延時間を共に低減し、発展してきた。理想的な電界一定スケーリングにおいては、縮小率を $1/S$ とすると、 P_{sw} は $1/S^2$ 、負荷容量充放電遅延時間 t_{PD} (CV_{DD}/I_D 、ここでは I_D は駆動電流) は $1/S$ 、電力 (P_{sw}) 遅延 (t_{PD}) 積は $1/S^3$ と低減できる。しかしながら、100 nm 世代以降、リーク電力 P_{LEAK} が顕在化している。 I_G は V_{DD}/T_{OX} に依存し、電界一定スケーリングにおいては一定といえるが、 I_{SUBTH} は V_{TH} の低下とともに指数的に増加する。 I_{LEAK} としてまず顕在化する I_{SUBTH} 対策として V_{TH} のスケーリングを緩めると、速度性能の維持や、微細化とともに増加する素子ばらつきへの対策も

求められ、 V_{DD} の低減が困難となる。こうして、電圧のスケーリングが停滞する傾向にある。この場合、 P_{SW} は $1/S^2$ まで下がらなくなる。また、素子寸法のみスケーリングが進む場合、 I_G が著しく増加する可能性がある。 I_G に影響する物理的な膜厚を厚くしたまま電気的な膜厚(EOT)をスケーリング可能な高誘電率膜などのデバイス開発も行われており、デバイス回路協調が不可欠である。また、今後も電圧スケーリングを進めるために、 I_{LEAK} 対策や素子ばらつき対策の重要性は一層増加する。

SoCの消費電力は搭載ブロック電力の総和であり、上記四つの成分の総和でもある。微細化を踏まえ、SoC全体を見渡した統合的な低電力化技術の導入が求められる。

■参考文献

- 1) Neil H. E. Weste and David Harris, "CMOS VLSI Design - A Circuits and Systems Perspective -," Addison Wesley, 2005.
- 2) Anantha P. Chandrakasan and Robert W. Brodersen, "Low Power Digital CMOS Design," Kluwer Academic Publishers, 1995.
- 3) 桜井貴康編, "低消費電力, 高速LSI技術," リアライズ社, 1998.
- 4) H. J. M. Veendrick, "Short-circuit dissipation of static CMOS circuitry and its impact on the design of buffer circuits," IEEE Journal of Solid-State Circuits, vol. 19, pp.468 - 473, August. 1984.
- 5) S. M. Sze, "Physics of Semiconductor Devices," 2nd Edition, Wiley - Interscience, 1981.

■10 群 - 3 編 - 6 章

6-2 低電力ロジック技術

(執筆著：野村昌弘) [2009年9月 受領]

SoC のロジック部の消費電力は、本章 6-1 節で示したように、主に、負荷容量 C の充放電に伴うスイッチング電力 P_{SW} とリーク電力 P_{LEAK} からなる。それぞれ式(6・2)、式(6・3)で表され、各要素を削減する技術が低電力化技術といえる。低電力化技術の適用により面積、遅延時間が増加するが、低電力化効果が大きく、これらオーバーヘッドの小さい技術が実用化されてきた¹⁻³⁾。

6-2-1 CMOS ロジック回路のスイッチング電力 P_{SW} 低減技術

式(6・2)で示される P_{SW} の各要素は、動作率 α 、動作クロック周波数 f 、負荷容量 C 、電源電圧 V_{DD} 、である。

(1) α 低減技術

ロジック部は複数の構成ブロックからなり、各構成ブロックのほとんどはクロック信号 (CLK) に基づき動作する同期回路からなる。各構成ブロックは相互にデータ信号 (DATA) を授受するとともに、DATA を保持するフリップフロップ回路 (F / F) がブロック内に分布し、これら F / F に CLK を分配するクロック分配回路を有する。CLK は同じ CLK で同期する複数の構成ブロックにも分配され、クロック分配回路は階層構造を持つ (図 6・3)。F / F とクロック分配回路の C は大きく、動作率は 100% であり、その P_{SW} の全体電力に占める割合も大きい。ロジック部のすべての構成ブロックが常に動作するわけではない。この特性を活用して、動作率 α を構成ブロック単位で、時間的、空間的に制御可能である。制御手段として、クロックゲーティングが最も有効で幅広く利用されている。図 6・3 に示すように、構成ブロックの使用／不使用情報からクロックイネーブル信号 (CLKEN) を生成し、不使用時に構成ブロックのクロック分配回路の根元に CLK と CLKEN を入力とする AND (または OR) ゲートを設けて CLK 伝搬を遮断する。構成ブロックのクロック分配回路、F / F、及び内部回路の全負荷容量 C の充放電電流 I_{SW} がほとんどなくなり大幅な電力削減が可能となる。構成ブロックとして最小単位は F / F 単体、最大単位はチップを想定可能である。

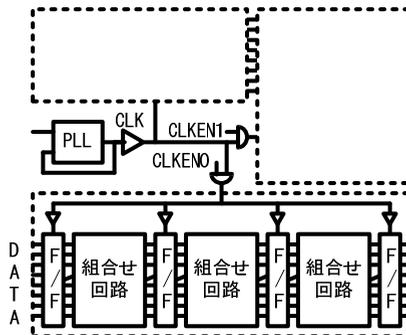


図 6・3 クロック分配とクロックゲーティング

クロック分配回路はクロック生成回路 (PLL など) を起点にした階層構造のクロックバッファにより巨大な最終クロック負荷 (F/F など) を駆動するが、より上位階層でゲーティングした方が少ない電力、面積オーバーヘッドで停止対象の負荷容量 C を最大化可能なため効果的である。ただし、階層をさかのぼる場合、CLKEN 生成のための遅延オーバーヘッドが加算される。このようにクロックゲーティングは CLKEN の生成論理分の、電力、面積、遅延オーバーヘッドを伴うが、サイクル単位のゲーティングが可能で制御性が高く、極めて有効な低電力化技術である。クロック信号分配回路に論理を追加するためグリッチの発生やスキューへの増加が懸念されること、消費電流変化がサイクル単位で大きく変化するため電源ノイズの原因になること、などに注意を要する。

数表現による α 低減の報告がある²⁾。値が小さく、頻繁に符号をまたぐ場合、一般的な 2 の補数表現では、多くの上位側の多くのビットが、正では 0、負では 1 となり、遷移率が大きい。これに対して符号絶対値表現では、最上位の符号ビットと数値ビットの下位桁のみが遷移するだけであり、遷移率を低減可能である。アプリケーションに応じて、数表現を選択、及び最適化可能である。

(2) f 低減技術

(1) で述べたように、クロックゲーティングの低電力化効果は大きく、有効である。構成ブロックはすべてが常に最高性能で動作するわけではない。この特性を活用して、要求性能が低いブロックの f そのものを制御する動的クロック周波数制御 (DFS) も有効である。CLK をオンチップで生成する PLL の発振周波数を直接制御するのは再ロックまでの時間オーバーヘッドを伴うが、PLL 出力段の分周比を制御するのであれば少ない時間オーバーヘッドで比較的容易に実現可能である。ほかに、クロック信号を用いない非同同期回路も f 低減技術の一技術となりえるが、各処理ステージでの終了検出のための電力、面積、遅延オーバーヘッドを伴う。

(3) C 低減技術

負荷容量 C はゲート容量 C_G と拡散容量 C_D と配線容量 C_{INT} からなる。トランジスタ幅 W の小さい論理ゲートの利用、素子数の少ないバストランジスタ論理ゲートの利用⁴⁾、pMOS 回路ネットワークを省略可能なダイナミック論理ゲートの利用、半ラッチとパルスクロックによるクロック負荷の半減⁵⁾、などは C_G 、 C_D を小さくする技術であるが、チップの小面積化により C_{INT} も小さくできる。ただし、小 W ゲートの利用は素子ばらつきや配線負荷の影響を受けやすく遅延特性の悪化を招く。バストランジスタ論理ゲートは信号振幅の V_{TH} 落ちが速度と動作マージンに悪影響を与える。ダイナミック論理ゲートはプリチャージを伴うため動作率が増加する。半ラッチ+パルスクロックはホールド補償を、パルスクロック幅<パス遅延、で行っており、注意深い設計、検証が必要となる。各技術の得失を考慮して採用を決定する必要がある。

(4) V_{DD} 低減技術

V_{DD} の低減は (6・2) 式の信号振幅電圧 V_S と電源電圧 V_{DD} の低減を意図する。 V_S を小さくするには、信号振幅を V_{TH} 落ちさせるバストランジスタ論理ゲートの利用などがあげられるが、

(3) で述べたように速度と動作マージンに悪影響を与える可能性があり得失を考慮する必要がある。オンチップシリアルレギュレータにより、低速ブロックの電源電圧を降圧する場合も V_S 低減に該当する。 V_{DD} そのものを低減できないため、理想電源回路の利用に比べて低電

力効果は劣るが、電源回路の面積オーバーヘッドを抑制可能で、動的電源電圧制御 (DVS) における電圧制御性にも優れる可能性がある。構成ブロックはすべてが常に最高性能で動作するわけではなく、要求性能に合わせた DVFS は有効な低電力化技術である。この際に、必要十分な遅延マージンの維持が重要で、高精度な遅延モニタ技術が鍵となる^{6, 19)}。また、 V_S と V_{DD} を小さくするためには、スイッチングレギュレータなどの電力変換効率の高い電源回路を用いた電源制御が有効である。ほかに、構成ブロックごとに性能が異なる場合、要求性能に応じて電源電圧を使い分けるマルチ V_{DD} も有効である。電源電圧制御は参照電圧を変化させるフィードバック制御においては、制御遅延がチップ動作を律速する場合に問題となる。あらかじめ複数の電源電圧を用意し、スイッチで切り替える電圧選択方式は、追加の電源配線が必要であるが、制御遅延を低減可能であり、安定化も考慮しやすく有効である。微細デバイスでは素子ばらつきが増加し、低 V_{DD} では遅延ばらつきへの影響が著しく増加する。対応する回路方式として、トランジスタの縦積み段数を制限した CMOS 論理ゲートの利用が有効との報告がある⁷⁾。

6-2-2 CMOS ロジック回路のリーク電力 P_{LEAK} 低減技術

式(6.3)で示される P_{LEAK} の各要素は、 I_{LEAK} 、 V_{DD} である。

(1) I_{LEAK} 低減技術

I_{LEAK} は主に I_{SUBTH} と I_G からなる。

I_{LEAK} を一括して低減するためにパワーゲーティングが利用される。ロジック部のすべての構成ブロックが常に動作するわけではないため、この特性を活用して、構成ブロック単位で、時間的、空間的にパワーゲーティング制御可能である。パワーゲーティングは外付け電源 IC で実現する場合と SoC 内の電源スイッチで実現する場合がある⁸⁾。複数の構成ブロックを個別に高速にパワーゲーティングする場合、SoC 内電源スイッチの利用により、面積オーバーヘッドはあるが、きめ細かな制御を電源ピン数の増加なく実現可能となる。サイクルごと (ナノ秒オーダー) に制御が可能なクロックゲーティングと異なり、パワーゲーティングは電源安定の期間が必要で、寄生容量の保持電荷放電後でないといふ有効とならないため、制御遅れ時間が大きい (マイクロ秒オーダー)。論理ゲート単位で電源スイッチを設けることで制御時間オーバーヘッドを低減可能であるが、面積オーバーヘッドが大きくなる。また、パワーゲーティング領域の F/F の記憶データが失われるため、保持の必要な所定の記憶データについては、保持可能とする別電源供給⁹⁾ や不揮発メモリの利用、パワーゲーティング前後のデータ退避復帰処理、などが必要となる。

I_{SUBTH} の低減には I_{SUBTH} が V_{TH} に依存するためマルチ V_{TH} 設計が幅広く適用される。低 V_{TH} トランジスタからなる論理ゲートは遅延が小さいが I_{SUBTH} が大きく、高 V_{TH} トランジスタからなる論理ゲートは遅延が大きい I_{SUBTH} が小さい特徴をもつ。ロジック部すべてのパスがクリティカルパスではないため、クリティカルパスのみを遅延が小さい低 V_{TH} 論理ゲートで構成し、クリティカルパス以外を I_{SUBTH} の小さい高 V_{TH} 論理ゲートは構成することで、すべて低 V_{TH} 論理ゲートで構成した場合に比べ、同じ速度性能を低電力で実現可能である。また V_{TH} は基板バイアスで制御可能である。逆 (順) バイアスを印加することで V_{TH} を増加 (減少) し I_{SUBTH} (遅延) を低減できる。ロジック部のすべての構成ブロックが常に最高性能で動作するわけではないため、この特性を活用して、構成ブロック単位で、時間的、空間的に基板

バイアス制御可能である。複数の領域を個別に基板バイアス制御するためには、ウェル電位を分離可能な 3 ウェル構造が必要となる。また、バイアス電圧を印加必要である。順バイアスを印加すると pn 接続部に順方向電流が流れる。また、基板不純物ノードが高いと、逆バイアスを印加した場合、オフ状態のトランジスタにおいて、ドレインから基板へのトンネル電流である GIDL (Gate-Induced-Drain-Leakage) が流れることがある。基板バイアス制御用電力も含めて総電力が小さくなるよう最適化が必要である^{10,11)}。また、デバイスについても、従来、基板効果は縦積みトランジスタ回路特性を劣化させるため好ましいものではなかったが、基板バイアス制御に適した、基板効果が大きく、GIDL の小さいデバイス開発が重要となる^{12,13)}。バルク CMOS はスケーリングとともに基板効果が小さくなる懸念もあり、極薄 BOXSOI など、新しい基板効果デバイスも検討されている^{14,15)}。ほかに、トランジスタの縦積み構造が DIBL (Drain-Induced-Barrier-Lowering) や基板効果による V_{TH} 上昇により I_{SUBTH} 低減効果を有することが知られる¹⁶⁾。

(2) V_{DD} 低減技術

I_{SUBTH} と I_G は電圧依存性を有する。 I_{SUBTH} は式(6・8)より V_{DD} を含まないが、DIBL により、 V_{DD} 降圧により V_{TH} が増加し I_{SUBTH} が低減する。 I_G は式(6・9)より V_{DD} 依存性が高く、わずかな降圧でも低減効果が大きい。また、上述の GIDL もトンネル電流であり、 V_{DD} 降圧が有効である。よって、 I_{LEAK} の低減には V_{DD} 降圧が有効である。降圧は遅延ばらつきを増加させロジック回路動作速度を低下させるとともに、F/F などの下限電圧を下回ると保持データの破壊、誤動作を引き起こすため、注意が必要である。 V_{DD} のスケーリングは P_{SW} 低減にも有効であり、低 V_{DD} 回路技術は各電力要素を低減可能な低電力化技術といえる。

6-2-3 CMOS ロジック回路の電力 P_{SUM} 最小化技術

上述の低電力化技術を図 6・4 にまとめる。従来、動作時には P_{SW} を待機時には P_{LEAK} を低減すれば良かったが、動作時に P_{LEAK} が顕在化する場合があり、 P_{SW} と P_{LEAK} の和を最小化することが重要になる。速度性能一定でこれらを制御するパラメータとして V_{DD} と V_{TH} (基板バイアスにより制御 (ABB: Adaptive Body Bias)) の適応制御の報告がある¹⁷⁻²¹⁾。 V_{DD} は制御範囲が広く遅延感度が高く、 V_{TH} は制御範囲が限定されるがリーク電流感度が高い。速度最適化を V_{DD} 制御で、電力最適化を V_{TH} 制御で行うことが有効である。遅延制御指標として遅延モニタを用いる。 I_{LEAK} が I_{SUBTH} で支配的な場合、電力最小点での I_{SW} / I_{LEAK} 比が一定となることを利用して、電力制御指標として、 I_{SW} / I_{LEAK} 比を用いる^{18,21)}。

6-2-4 ロジック SoC の電力低減技術

アーキテクチャレベルの低消費電力技術としては、並列処理がよく知られている。並列処理は並列度に応じた処理性能の向上が可能となうえ、同じ処理性能であれば、並列度に応じてクロック周波数 f を下げられ、 f の低下により、更に電源電圧 V_{DD} も下げられるため、電源電圧低下割合の自乗分をそのまま低電力化可能である。図 6・5 に並列処理による低電力効果の例を示す。この例では 4 並列により f を 1/4 にでき、 V_{DD} が 1/2 となり、消費電力は 1/2 の自乗の 1/4 に低減可能である²²⁾。

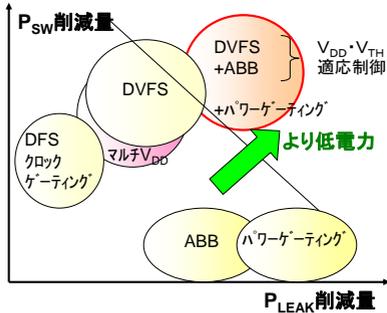


図 6-4 低電力化技術

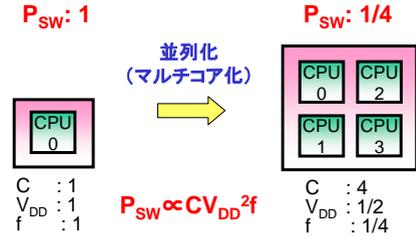


図 6-5 並列処理による低電力化効果

6-2-5 まとめ

SoCのロジック部の低電力化技術をまとめた。従来、動作時と待機時それぞれで P_{SW} と P_{LEAK} を低減してきたが、動作時にも P_{LEAK} が顕在化し、総電力の低減が重要となる。電圧スケールリングが停滞し素子寸法のスケールリングが継続する場合、 P_{LEAK} が増加し、 P_{SW} の低下が抑制され、スケールリングによる電力低減効果は低下する。今後、 P_{LEAK} 対策や電圧スケールリングを阻む素子ばらつき対策の重要性が一層増加する。ばらつき対策としては、ここで述べた電圧適応制御²³⁻²⁵⁾を含め、デバイス、回路、アーキテクチャの各階層での協調が重要となる。

■参考文献

- Neil H. E. Weste and David Harris, "CMOS VLSI Design - A Circuits and Systems Perspective -," Addison Wesley, 2005.
- Anantha P. Chandrakasan and Robert W. Brodersen, "Low Power Digital CMOS Design," Kluwer Academic Publishers, 1995.
- 桜井貴康編, "低消費電力, 高速 LSI 技術," リアライズ社, 1998.
- K. Yano, T. Yamanaka, T. Nishida, M. Saito, K. Shimohigashi, and A. Shimizu, "A 3.8-ns CMOS 16 x 16-b Multiplier Using Complementary Pass-Transistor Logic," IEEE Journal of Solid-State Circuits, vol.25, no.2, pp.388-395, Apr. 1990.
- S. Kozu, M. Daito, Y. Sugiyama, H. Suzuki, H. Morita, M. Nomura, K. Nadehara, S. Ishibuchi, M. Tokuda, Y. Inoue, T. Nakayama, H. Harigai, and Y. Yano, "A 100 MHz, 0.4 W RISC processor with 200 MHz multiply adder, using pulse-register technique," 1996 IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp.140 - 141, 432, Feb. 1996.
- M. Nakai, S. Akui, K. Seno, T. Meguro, T. Seki, T. Kondo, A. Hashiguchi, H. Kuwahara, K. Kumano, and M. Shimura, "Dynamic Voltage and Frequency Management for a Low-Power Embedded Microprocessor," IEEE Journal of Solid-State Circuits, vol.40, pp.28-35, Jan. 2005.
- M. Izumikawa, H. Igura, K. Furuta, H. Ito, H. Wakabayashi, K. Nakajima, T. Mogami, T. Horiuchi, and M. Yamashina, "A 0.25-um CMOS 0.9-V 100-MHz DSP Core," IEEE Journal of Solid-State Circuits, vol.32, no.1, pp.52 - 61, Jan. 1997.
- S. Mutoh, T. Douseki, Y. Matsuya, T. Aoki, and J. Yamada, "1V High-Speed Digital Circuit Technology with 0.5um Multi Threshold CMOS," Proc. IEEE ASIC Conf., pp.186-189, 1993.
- S. Shigematsu, S. Mutoh, Y. Matsuya, and J. Yamada, "A 1-V high-speed MTCMOS Circuit scheme for power-down applications," Symp. VLSI Circuits Dig., pp.125-126, June 1995.

- 10) C. Neau, and K. Roy, "Optimal Body Bias Selection for Leakage Improvement and Process Compensation Over Different Technology Generations," International Symposium on Low Power Electronics and Design, pp.116-121, Aug. 2003.
- 11) M. Nomura, Y. Ikenaga, K. Takeda, Y. Nakazawa, Y. Aimoto, and Y. Hagihara, "Monitoring scheme for minimizing power consumption by means of supply and threshold voltage control in active and standby modes," 2005 Symposium on VLSI Circuits, Digest of Technical Papers, pp.308-311, June. 2005.
- 12) M. Togo, T. Fukai, Y. Nakahara, S. Koyama, M. Makabe, E. Hasegawa, M. Nagase, T. Matsuda, K. Sakamoto, S. Fujiwara, Y. Goto, T. Yamamoto, T. Mogami, M. Ikeda, Y. Yamagata, and K. Imai, "Power-aware 65 nm Node CMOS Technology Using Variable VDD and Back-bias Control with Reliability Consideration for Back-bias Mode," 2004 Symposium on VLSI Technology Digest of Technical Papers, pp.88-89, 2004.
- 13) N. Kimizuka, Y. Yasuda, T. Iwamoto, I. Yamamoto, K. Takano, Y. Akiyama and K. Imai, "Ultra-Low Standby Power (U-LSTP) 65-nm node CMOS Technology Utilizing HfSiON Dielectric and Body-biasing Scheme," 2005 Symposium on VLSI Technology Digest of Technical Papers, pp.218-219, 2005.
- 14) I. Y. Yang, C. Vieri, A. Chandrakasan, and D. A. Antoniadis, "Back-Gated CMOS on SOIAS For Dynamic Threshold Voltage Control," IEEE Trans. Electron Devices, pp.822-831, 1997.
- 15) R. Tsuchiya et al., "Silicon on Thin BOX: A New Paradigm of The CMOSFET for Low-Power and High-Performance Application Featuring Wide-Range Back-Bias Control," IEDM, pp.631-634, 2004.
- 16) Y. Ye, S. Borkar, and V. De, "A New Technique for Standby Leakage Reduction in High-Performance Circuits," 1998 Symposium on VLSI Circuits, Digest of Technical Papers, pp.40-41, June. 1998.
- 17) V. R. von Kaenel, M. D. Pardoen, E. Dijkstra, and E. A. Vittoz, "Automatic Adjustment of threshold & supply voltages for minimum power consumption in CMOS Digital Circuits," Digest of Technical Papers 1994 IEEE Symposium on Low Power Electronics, pp.78-79, 1994.
- 18) K. Nose, and T. Sakurai, "Optimization of VDD and VTH for Low-Power and High-Speed Applications," ASP-DAC, pp.469-474, Jan. 2000.
- 19) T. Kuroda, K. Suzuki, S. Mita, T. Fujita, F. Yamane, F. Sano, A. Chiba, Y. Watanabe, K. Matsuda, T. Maeda, T. Sakurai, and T. Furuyama, "Variable supply-voltage scheme for low-power high-speed CMOS digital design," IEEE Journal of Solid-State Circuits, vol.33, pp.454-462, March. 1998.
- 20) J. T. Kao, M. Miyazaki, and A. P. Chandrakasan, "A 175-mV multiply-accumulate unit using an adaptive supply voltage and body bias architecture," IEEE Journal of Solid-State Circuits, vol.37, pp.1545-1554, November. 2002.
- 21) M. Nomura, Y. Ikenaga, K. Takeda, Y. Nakazawa, Y. Aimoto, and Y. Hagihara, "Delay and power monitoring schemes for minimizing power consumption by means of supply and threshold voltage control in active and standby modes," IEEE Journal of Solid-State Circuits, vol.41, pp.805-814, April. 2006.
- 22) N. Nishi, T. Inoue, M. Nomura, S. Matsushita, S. Torii, A. Shibayama, J. Sakai, T. Ohsawa, Y. Nakamura, S. Shimada, Y. Ito, M. Eda, H. Mizuno, K. Minami, O. Matsu, H. Inoue, T. Manabe, T. Yamazaki, Y. Nakazawa, Y. Hirota, Y. Yamada, N. Onoda, H. Kobinata, M. Ikeda, K. Kazama, A. Ono, T. Horiuchi, M. Motomura, M. Yamashina, and M. Fukuma, "A 1GIPS 1W single-chip tightly-coupled four-way multiprocessor with architecture support for multiple control flow execution," IEEE International Solid-State Circuits Conference, vol. XLIII, pp.418-419, February. 2000.
- 23) M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, "Matching properties of MOS transistors," IEEE Journal of Solid-State Circuits, vol.24, pp.1433-1439, October. 1989.
- 24) J. Tschanz, J. Kao, S. Narendra, R. Nair, and V. De, "Effectiveness of adaptive supply voltage and body bias for reducing impact of parameter variations in low power and high performance microprocessors," Symp. VLSI Circuits Dig., pp.310-311, June. 2002.
- 25) Y. Komatsu, K. Ishibashi, M. Yamamoto, T. Tsukada, K. Shimazaki, M. Fukazawa, and M. Nagata, "Substrate-noise and random-fluctuations reduction with self-adjusted forward body bias," 2005 IEEE Custom Integrated Circuits Conference, pp.35-38, September. 2005.

■10 群 - 3 編 - 6 章

6-3 低電力メモリ技術

(執筆著：宮野信治) [2009年9月 受領]

システム LSI 上のオンチップメモリとしては、一般に SRAM が広く使われている。システム LSI 上のオンチップメモリの搭載容量は増大の一途にある。その一方で、テクノロジーの微細化の進展に伴う MOS トランジスタのリーク電流の増加により、SRAM の消費電力は増大しており、オンチップメモリの消費電力の低減が重要な課題となっている。オンチップメモリの消費電力を低減する方法としては、SRAM の消費電力を下げていくものと、SRAM 以外のメモリをオンチップメモリとして搭載することによって消費電力を下げる二つの方向がある。SRAM 以外のメモリとしては、大容量バッファメモリ用途に DRAM や不揮発性メモリとしてフラッシュメモリなどがオンチップメモリとして搭載されてきた。近年、強誘電体、強磁性体、相変化材料などの新材料を使ったメモリのオンチップメモリへの展開も試みられており、RAM としての速度、書換え回数をもった不揮発性メモリの可能性に注目を集めている。

6-3-1 SRAM の低消費電力化技術

SRAM の消費電力を低減する方法としては、待機時のメモリセルのリーク電流を削減して待機時電力の低減を目指すものと、SRAM の動作電圧を下げて、動作時の消費電力の低減を目指すものと 2 通りある。90 nm 以降の世代では、MOS トランジスタのリークが顕著になり SRAM の待機時電力が急激に増加したため、携帯機器向けなどに待機時電力を低下させる強い要求がある。一般に SRAM は読み出し動作、書き込み動作時より低い電圧でデータを保持することが可能なため、待機時のみ電源電圧を下げる方法などで、待機時電力を低下させる様々な試みがなされている¹⁾。一方、動作時の電力を低下させるためには、動作時の電源電圧を低下させることが最も有効であるが、6Tr. 型の SRAM は、素子ばらつきの影響などにより、1.0 V 以下の低い動作電圧でセル安定性動作と書き込み動作を両立させるのが難しい。そのため、メモリセル電源、メモリセルを構成する素子のバックバイアス、ワード線、ビット線などの電位を制御して、セル安定動作や書き込み動作の低電圧動作マージンを広げる、種々のアシスト回路技術が試みられている。電位制御方法と動作マージンの関係を図 6・6 に示す。

SRAM の低電圧動作を図るほかの方向性としては、メモリセルに六つより多くの数のトランジスタを使うことによって、動作安定性と書き込み特性のトレードオフを回避しようとする試みが行われている。典型的な 8Tr. セルの例を図 6・7 に示す²⁾。この型の 8Tr. セルの場合、Read Port が独立しており、読み出し時の動作安定性の低電圧動作マージンが大きく改善する。ただし、このタイプのメモリセルの場合、書き込み時に、ビット線非選択となるメモリセルのデータ破壊が起こるという課題がある。この問題を低減するための 10 個以上のトランジスタを使ったメモリセルの提案もあるが、トランジスタの数を増やしていった場合、セル面積が増大し、チップコストにインパクトを与えるという問題が生ずる。

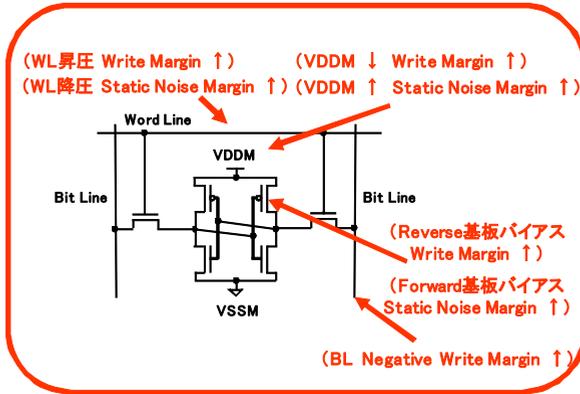


図 6-6 アシスト回路技術（電位制御と動作マージンの関係）

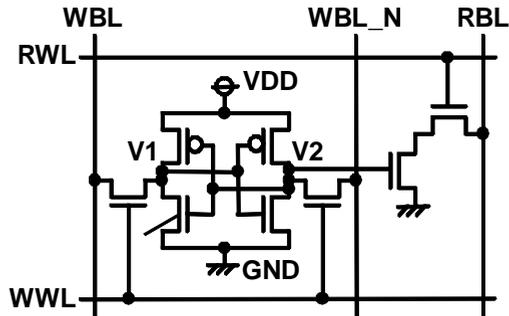


図 6-7 8T1Cセルの一例

6-3-2 SRAM 以外の低消費電力オンチップメモリ

SRAM 以外のオンチップメモリとしては、チップ上の大容量データバッファなどの用途に DRAM が使用されている。単体 DRAM と同様なメモリセル構造をもつ 1T-1C 型の DRAM では、セルトランジスタのリークが小さく、データリテンション時間も比較的長いメモリセルを作ることが可能で、大容量低消費電力オンチップメモリとして、携帯機器、ゲーム機向けのチップに搭載されている³⁾。DRAM セルのほかの形式としては、キャパシタ形成を簡略化したものや、二つ以上のトランジスタを使ったゲインセルの形式が使われているが、データリテンション時間を確保するのが難しく低電力化という観点からは、更なる技術の進展が必要である。

データ保持電力の究極の低減を実現するためには、不揮発性メモリが必要であり、フラッシュメモリが命令コードをストアするためなどの用途に使われてきた。近年、強誘電体、強磁性体、相変化材料などを使って、不揮発性をもちながら、書換え、読み出し時間が短く、

書換え可能回数がフラッシュメモリに比べて多いメモリの研究開発が進められている。

これらのメモリは RAM としての機能と ROM としての不揮発性をもっとユニバーサルメモリとして発展する可能性を秘めており、今後の開発動向が注目される⁴⁾。

■参考文献

- 1) M. Yamaoka, et al., "A 300MHz 25 μ A/Mb Leakage On-Chip SRAM Module Featuring Process-Variation Immunity and Low-Leakage-Active Mode for Mobile-Phone Application Processor," ISSCC Digest of Technical Papers, pp.494-495, Feb. 2004.
- 2) Y. Morita et al., "An Area-Conscious Low-Voltage-Oriented 8T-SRAM Design under DVS Environment", Symp. VLSI Circ. Digest of Technical Papers, pp. 256-257, Jun. 2007.
- 3) M. Kaku, et al., "n 833MHz Pseudo-Two-Port Embedded DRAM for Graphics Applications," ISSCC Digest of Technical Papers, pp.276-277, Feb. 2008.
- 4) R. Nebashi, et al., "A 90nm 12ns 32Mb 2T1MTJ MRAM," ISSCC Digest of Technical Papers, pp.462-463, Feb. 2009.

■10 群 - 3 編 - 6 章

6-4 低電力アナログ技術

(執筆著：石黒仁揮) [2009年9月 受領]

ディジタル回路とは異なり、アナログ回路においてはテクノロジースケールと電源電圧の低減がそのまま消費電力の削減につながるわけではない。アナログ回路の性能指標は、動作帯域とダイナミックレンジで与えられる。一般に微細素子を使うことにより、同一バイアス電流における MOSFET の g_m 及び f_t が向上するため回路の動作帯域は広がる。したがって、同じ帯域を実現するために必要な電力は削減できる。しかし、ダイナミックレンジ一定という条件下では、テクノロジーをスケールして電源電圧を下げても消費電力は削減できない。議論を単純化すると、例えば電源電圧を 1/2 にすると扱える信号電圧振幅の上限が 1/2 になるため、ノイズ電圧レベルを 1/2 にする必要がある(ノイズパワーで 1/4)。したがって、回路のインピーダンスを 1/4 にスケールする必要がある、信号電流及びバイアス電流は 2 倍となる。したがって消費電力は一定のままである。また、素子のミスマッチが回路性能に大きな影響を及ぼすため、素子サイズを容易に小さくすることができないことも、ディジタル回路と異なり消費電力が難しい要因となる。

このようにアナログ回路の低電力化は一筋縄ではいかないが、例えば、回路のノイズ、歪みをキャンセルする仕組みを取り入れたり、入力信号振幅に応じてバイアス、ゲインなどを適応制御することでダイナミックレンジを確保しながら電力を削減することが可能である。また、最近のシステムオンチップなど大規模アナログ・ディジタル混載回路においては、アナログ部単独での電力削減ではなく、ディジタル部によるきめ細かな制御などを活用した低電力技術が多数考案されている。

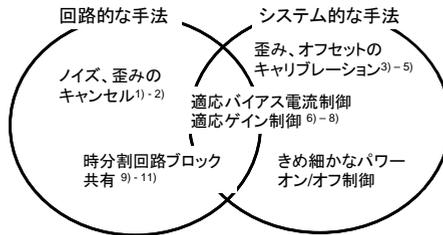


図 6・8 アナログ回路消費電力削減技術

6-4-1 回路的な電力削減の手法

オペアンプのようにフィードバック動作を前提とする高利得アンプを利用すると極めて高い線形性及びダイナミックレンジが得られる。しかし高周波帯の回路に高利得のオペアンプを利用することは消費電力的に難しい。このような用途の回路にむけて、ノイズキャンセルや歪みをキャンセルする手法が考案されている^{1,2)}。例えば図 6・9(a)のように、主要因となる素子のノイズや歪み成分と信号成分が逆相となる経路を形成して、ノイズや歪み成分のみを打ち消す方法である²⁾。

また、信号レベルに応じて回路のバイアス電流を適応制御すれば、信号入力のないときや信号レベルが低いときに消費電力を削減することが可能である。例えば、図 6・9(b)のような通常の差動対では最大差動電流はバイアス電流で規定されるため、大信号入力時に備えて大きなバイアス電流を流す必要がある。しかし、図 6・9(c) (回路例は図 6・9(d)) のような回路を用いると小さな電流でバイアスした場合でも、大信号時には大きな出力差動信号電流を生産することができる⁶⁾。

離散時間系の回路 (スイッチドキャパシタ回路) では、アンプを使用していないクロックフェーズでバイアス電流を止めることで消費電力を削減することができる。また、パイプライン ADC においては、ステージ間で信号サンプリングフェーズと増幅フェーズを交互にとるため、オペアンプをステージ間で共有することで無駄な消費電力を削減することが可能である⁹⁻¹¹⁾。

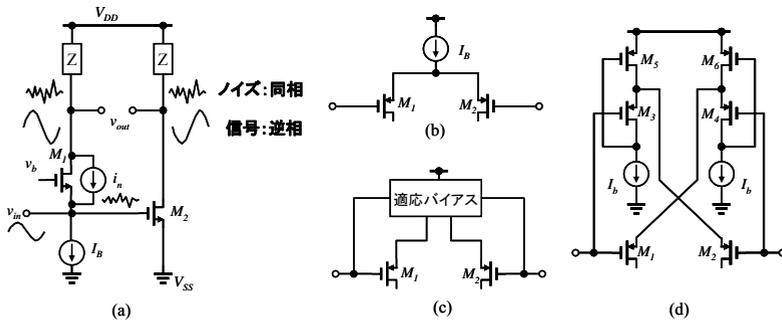


図 6・9 回路的な電力削減技術の例。

(a)ノイズ，歪みキャンセル²⁾。(b)~(d)適応バイアスによる消費電力削減の例。(b)通常の PMOS 差動対，(c)適応バイアスによる直流バイアス電流の削減。(d)回路実装例⁶⁾。

6-4-2 システム的な電力削減技術

回路トポロジーの工夫により歪みをキャンセルする手法は前述したが、デジタルキャリアブレーション技術を用いて歪みを補正する手法も研究されている。ADC のような回路においては、精度を確保するために増幅器にオペアンプを用いることが一般的であるが、素子微細化に伴う電源電圧の低下とともに設計が困難になってくるため、シンプルな開ループ型の増幅器を用いて、歪みはデジタル信号処理で除去するという手法が盛んに研究されている^{3,4)}。開ループ型のアンプはオペアンプに比べて低電力で高速動作をするため、ADC システム全体としての消費電力の削減につながると期待される。

また、近年の無線通信系においては送信系に高線形性が要求されるが、最終段階の電力増幅器は線形性をあげると一般的に電力効率が低下する。そこで、図 6・10 に示すように、電力増幅器は線形性が低いが高効率のアンプを利用して、送信機の出力波形をベースバンドにフィードバックして波形歪みを検出し、あらかじめ逆方向に歪ませることで送信波形の精度を確保する手法 (プレディストーション) が用いられている⁵⁾。これも大規模なループを組みシステム的に消費電力を削減する手段の一つである。

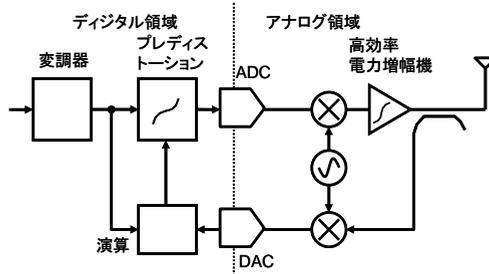


図 6・10 デジタル歪み補正による消費電力削減手法⁵⁾

■参考文献

- 1) F. Bruccoleri, E.A.M. Klumperink, and B. Nauta, "Wide-band CMOS low-noise amplifier exploiting thermal noise canceling," IEEE Journal of Solid-State Circuits, vol.39, no.2, pp.275-282, Feb. 2004.
- 2) S.C.Blaakmeer, E.A.M.Klumperink, D.M.W.Lenaerts, and B.Nauta, "Wideband Balun-LNA With Simultaneous Output Balancing, Noise-Canceling and Distortion-Canceling," IEEE Journal of Solid-State Circuits, vol.43, no.6, pp.1341-1350, June. 2008.
- 3) B. Murmann and B. E. Boser, "A 12-bit 75-MS/s pipelined ADC using open-loop residue amplification," IEEE Journal of Solid-State Circuits, vol.38, no.12, pp.2040-2050, Dec. 2003.
- 4) J. Hu, N. Dolev, and B. Murmann, "A 9.4-bit, 50-MS/s, 1.44-mW Pipelined ADC Using Dynamic Source Follower Residue Amplification," IEEE Journal of Solid-State Circuits, vol.44, no.4, pp.1057-1066, April. 2009.
- 5) C.D.Presti, F.Carrara, A.Scuderi, P.M.Asbeck, and G. Palmisano, "A 25 dBm Digitally Modulated CMOS Power Amplifier for WCDMA/EDGE/OFDM With Adaptive Digital Predistortion and Efficient Power Control," IEEE Journal of Solid-State Circuits, vol.44, no.7, pp.1883-1896, July. 2009.
- 6) A.J.Lopez-Martin, S.Baswa, Ramirez-Angulo Jaime, R.G.Carvajal, "Low-Voltage Super class AB CMOS OTA cells with very high slew rate and power efficiency," IEEE Journal of Solid-State Circuits, vol.40, no.5, pp.1068-1077, May. 2005.
- 7) M.Zargari, et.al., "B.A.;A single-chip dual-band tri-mode CMOS transceiver for IEEE 802.11a/b/g wireless LAN," IEEE Journal of Solid-State Circuits, vol.39, no.12, pp.2239-2249, Dec. 2004.
- 8) K.Iizuka, H. Matsui, M.Ueda, and M.Daito, "A 14-bit digitally self-calibrated pipelined ADC with adaptive bias optimization for arbitrary speeds up to 40 MS/s," IEEE Journal of Solid-State Circuits, vol.41, no. 4, pp.883-890, April. 2006.
- 9) Min Byung-Moo, P.Kim, F.W.Bowman III, D.M.Boisvert, and A.J. Aude, "A 69-mW 10-bit 80-MSample/s Pipelined CMOS ADC," IEEE Journal of Solid-State Circuits, vol.38, no.12, pp.2031-2039, Dec. 2003.
- 10) D.Kurose, T.Ito, T.Ueno, T.Yamaji, and T. Itakura, "55-mW 200-MSPS 10-bit pipeline ADCs for wireless receivers," IEEE Journal of Solid-State Circuits, vol.41, no.7, pp.1589-1592, July. 2006.
- 11) S.T.Ryu, B.S.Song, and K.A.Bacrania, "10-bit 50-MS/s Pipelined ADC With Opamp Current Reuse," IEEE Journal of Solid-State Circuits, vol.42, no.3, pp.475-485, March. 2007.

■10 群 - 3 編 - 6 章

6-5 低電力無線技術

(執筆者：高宮 真) [2009年9月 受領]

一般に携帯電話やノート PC のような無線通信機能を有するモバイル機器には高速通信と長いバッテリー駆動時間の両立が求められる。そこで、SoC に搭載する無線通信用の IP マクロにも低消費電力動作が求められる。図 6・11 に様々な無線通信用 LSI のデータレートと消費電力を示す。消費電力をデータレートで割り算した「1bit の情報を無線で伝送するのに必要なエネルギー (J/bit)」も図 6・11 に示す。図 6・11 の左上が高エネルギーで、右下が低エネルギーであることを意味する。一般に、無線通信技術の進展に伴い、データレートの高速化と低電力化が実現されるため、無線通信の低エネルギー化が着実に実現されてきている。以下では、無線通信の低エネルギー化の四つの指針について述べる。

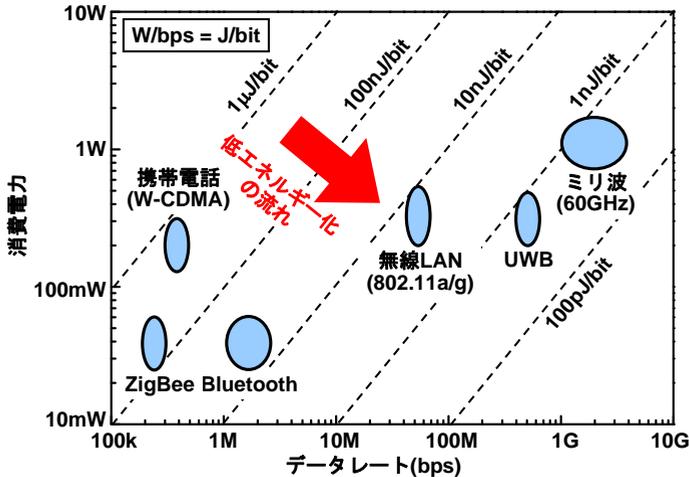


図 6・11 様々な無線通信用 LSI のデータレートと消費電力

6-5-1 アナログ回路部分のデジタル化

無線通信用 LSI では、PLL、ミキサ、フィルタなどのアナログ回路が多用されるため、DC 電力を消費する上、CMOS の微細化・低電圧化に適さないという問題がある。この問題を解決するため、無線通信用 LSI のアナログ回路部分のデジタル回路による置き換えの研究開発が行われている。代表例として文献 1) では、PLL をデジタル制御発振器に置き換え、ミキサとフィルタをスイッチトキャパシタ回路に置き換えた Bluetooth のトランシーバを実現している。このようなデジタル化のメリットは、(1) DC 電力を消費しないため低電力、(2) 無線通信回路の性能を調整することが容易、(3) CMOS の微細化・低電圧化に対応可能であるため微細化による低電力化のメリットを享受可能の 3 点である。

6-5-2 無線通信の短距離化

無線通信の距離が増大するほど、必要な送信電力が増大し、微弱な受信電波を増幅するために必要なアンプの電力も増大する。例えば、図 6-11 で携帯電話 (W-CDMA) のエネルギーがほかの無線に比べて大きいのは、これは通信距離が長いからである。したがって、無線通信を短距離化すれば低エネルギー化が自然に実現可能である。歴史的にも無線通信は「放送→WAN (Wide Area Network)→LAN (Local Area Network)→PAN (Personal Area Network) (通信距離 2-3 m 程度)」のように短距離化によって応用範囲を広げてきた。更なる短距離化の例として、TransferJet²⁾のような接触型の無線通信が近年、注目を集めている。TransferJet は電子機器をベースステーションに物理的に接触させることにより、数 cm の距離を 560 Mbps で無線通信を行う。

6-5-3 無線通信方式の単純化

干渉波に対する無線通信のロバスト性を向上させたり、電波の帯域あたりの伝送レートを高めるためには複雑な変復調 (例えば OFDM) が用いられる。しかし、複雑な変復調は大規模な無線通信用回路を必要とするため、無線通信のエネルギーが高くなる。したがって、無線通信を低エネルギー化するためには無線通信方式をシンプルにすることが有効である。例えば、UWB の方式として、Multi Band OFDM (MB-OFDM) 方式とインパルス方式に大別されるが、両者のこれまでのトランシーバの報告例を比較すると、シンプルな変復調方式の使用が可能なインパルス方式の方が無線通信のエネルギーが低い。

6-5-4 無線通信と有線通信の融合

無線通信は電波を空中に放射するため、電波の指向性が全くない場合、受信電力は距離の 2 乗に反比例して減衰する。一方、有線通信はケーブルを介して通信を行うため距離依存の信号の減衰は無線通信に比べて、圧倒的に小さい。したがって、無線通信の低エネルギー化のために、無線通信と有線通信を融合させた「通信シート」^{3,4)}が提案されている。具体的には通信シートの上に電子機器を置いて、通信シート上の電子機器間通信を通信シートに介して行う。電子機器と通信シート間の通信は接触型の無線通信で行い、2 次元シート内の通信は有線通信で行う。これにより無線通信の利便性と有線通信の低エネルギー性のメリットを両方、享受できる。

■参考文献

- 1) R.B. Staszewski, K. Muhammad, D. Leipold, C.-M. Hung, Y.-C. Ho, J.L. Wallberg, C. Fernando, K. Maggio, R. Staszewski, T. Jung, J. Koh, S. John, I.Y. Deng, V. Sarda, O. Moreira-Tamayo, V. Mayega, R. Katz, O. Friedman, O.E. Eliezer, E. de-Obaldia, and P.T. Balsara, "All-Digital TX Frequency Synthesizer and Discrete-Time Receiver for Bluetooth Radio in 130-nm CMOS," IEEE Journal of Solid State Circuits, vol.39, no.12, pp.2278-2291, Dec. 2004.
- 2) <http://www.transferjet.org/index.html>
- 3) <http://www.cellcross.co.jp/index.html>
- 4) L. Liu, M. Takamiya, T. Sekitani, Y. Noguchi, S. Nakano, K. Zaito, T. Kuroda, T. Someya, and T. Sakurai, "A 107pJ/b 100kb/s 0.18um Capacitive-Coupling Transceiver for Printable Communication Sheet," IEEE International Solid-State Circuits Conference (ISSCC), pp.292-293, Feb. 2008.

■10 群 - 3 編 - 6 章

6-6 低電力電源技術

(執筆者：高宮 真) [2009年9月 受領]

6-6-1 電源回路に対する SoC からの要求

SoC にはロジック、メモリ、アナログ、RF など様々な IP マクロが集積されるが、これらの IP マクロは動作する電源電圧が異なる場合がある。図 6・12 に International Technology Roadmap for Semiconductors 2008 Edition (ITRS2008) ¹⁾ に示されている LSI の電源電圧の将来予測を示す。CMOS プロセスの微細化に伴い、ロジック回路では電源電圧のスケールリングが可能であるが、高精度を要求されるアナログ/RF 回路では電源電圧のスケールリングがロジック回路に比べ大きく遅れるため、ロジック回路とアナログ/RF 回路の電源電圧は異なってしまう。そこで、SoC に集積される IP マクロの種類が増えるほど、電源電圧の数が増えるため、それを生成する電源回路の数も増加する傾向にある。

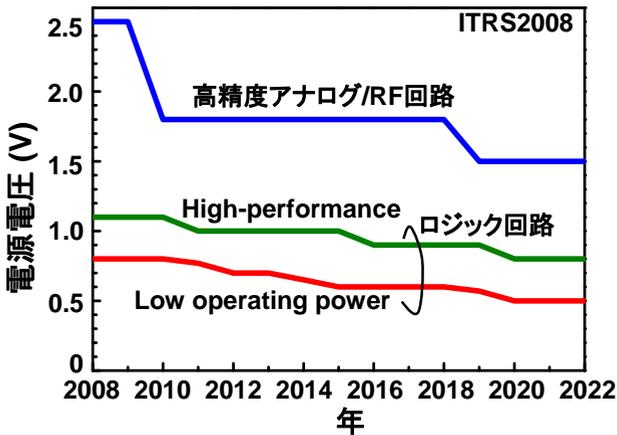


図 6・12 LSI の電源電圧の将来予測

更に、SoC の低電力化のために、一つの SoC を機能ごとに複数の領域に分割して領域ごとにクロック周波数・電源電圧・しきい値電圧を動的に制御することが行われる。図 6・13 に SoC における時空間の細粒度制御のトレンドを示す。従来の SoC ではチップ全体が固定のクロック周波数・電源電圧・しきい値電圧で動作していた。しかし、SoC の高性能化と低電力化を同時に実現するために、SoC を 10-100 領域に分割し、それぞれに領域内において SoC の動作状態に応じてクロック周波数・電源電圧・しきい値電圧を μs - ns オーダで変化させる細粒度制御の研究開発が行われている。この空間的な細粒度制御を実現するためには多数個の電源回路が必要となるうえ、時間的な細粒度制御を実現するためには出力電圧を高速に変化可能な電源回路が求められる。これだけ多数個の電源回路を SoC の外部に準備することはコストの観点から現実的ではないため、電源回路をオンチップ化することが求められている。

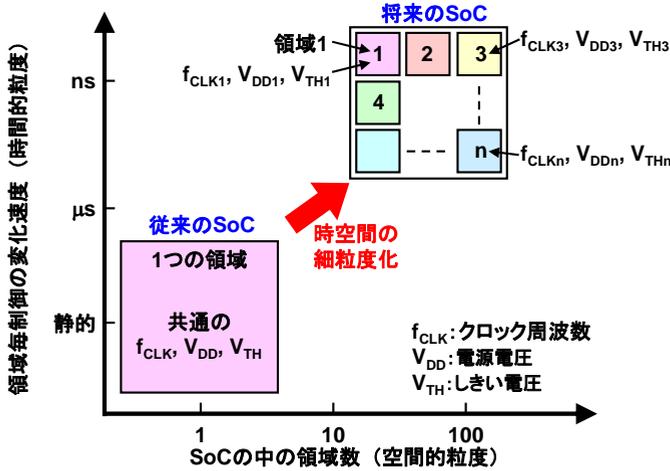


図 6-13 SoC における時空間の細粒度制御のトレンド

6-6-2 代表的な 3 種の電源回路

図 6-14 にオンチップ化が可能な 3 種類の電源回路とそれらの利害得失を示す. それぞれの電源回路は複数の名前で呼ばれることがあるので, これらの名前を併記した.

名前	<ul style="list-style-type: none"> ・スイッチングレギュレータ ・DC-DCコンバータ 	<ul style="list-style-type: none"> ・リニア・レギュレータ ・シリーズ・レギュレータ ・LDO (Low Drop-Out) 	<ul style="list-style-type: none"> ・チャージポンプ ・スイッチトキャパシタ電源
回路	<p>入力</p> <p>出力</p> <p>基準電圧</p> <p>オペアンプ</p> <p>降圧回路(Buckコンバータ)の例</p>	<p>入力</p> <p>出力</p> <p>基準電圧</p> <p>オペアンプ</p>	<p>入力</p> <p>出力</p> <p>2倍電圧発生回路の例</p> <p>ϕ と $\bar{\phi}$ は相補クロック</p>
長所	高効率 出力電流大	低リップル インダクタ不要	高効率 インダクタ不要
短所	インダクタが必要 リップル大	効率低い (効率 \approx 出力電圧/入力電圧)	出力電流小 リップル大

図 6-14 オンチップ化が可能な 3 種類の電源回路とそれらの利害得失

(1) スイッチングレギュレータ (Buck コンバータ)

二つのスイッチを相補的にオンオフし、LC フィルタで平滑化することにより降圧を行う。出力電圧と基準電圧が等しくなるように Pulse Width Modulation (PWM) 制御または Pulse Frequency Modulation (PFM) 制御によってスイッチをフィードバック制御する。高効率で出力電流が大きい点が長所であるが、インダクタが必要で出力電圧のリプル (ノイズ) が大きい点が短所である。

(2) リニア・レギュレータ

入力電圧と出力電圧の間に pMOS トランジスタを挿入する。出力電圧と基準電圧が等しくなるように pMOS トランジスタのゲート電圧にオペアンプを用いてフィードバック制御する。低リプルでインダクタが不要である点が長所であるが、入力電圧と出力電圧の差に相当する電力が pMOS トランジスタで消費されてしまうため電力変換効率が低い点が短所である。入力電流と出力電流が等しいため、オペアンプによる消費電力を無視した理想状態でも電力変換効率は出力電圧/入力電圧となり、実際の効率はこれ以下になる。

(3) チャージポンプ

スイッチトキャパシタ回路でキャパシタの接続を変更することによって昇圧または降圧を行う。Pulse Frequency Modulation (PFM) 制御によってスイッチトキャパシタ回路のスイッチをフィードバック制御する場合が多い。高効率で、インダクタが不要である点が長所であるが、出力電流が小さく、出力電圧のリプルが大きい点が短所である。

6-6-3 電源回路に要求される性能

SoC 向けの電源回路には以下の 4 点が要求される。

- (1) 小型, 小面積, 外付け部品不要
- (2) 電力変換効率が高い
- (3) 低リプル, EMI が小さい
- (4) 出力電圧を高速に変化可能

これらの要求に対して、前節で述べた 3 種類の電源回路を使い分けたり、これらを組み合わせる使用することが多い。(1)と(2)に関して、外付け部品が不要な高効率なオンチップ電源を目指してインダクタを含めて集積化したスイッチングレギュレータの報告例²⁾はあるが、LSI の配線の膜厚が約 $1 \mu\text{m}$ と薄いため寄生抵抗が高く、スイッチングレギュレータの効率が低い点が課題である。

■参考文献

- 1) <http://www.itrs.net/>
- 2) K. Onizuka, K. Inagaki, H. Kawaguchi, M. Takamiya, and T. Sakurai, "Stacked-Chip Implementation of On-Chip Buck Converter for Distributed Power Supply System in SiPs," IEEE Journal of Solid-State Circuits, vol.42, no.11, pp.2404-2410, Nov. 2007.