

## ■10 群 (集積回路) - 4 編 (メモリ LSI)

---

# 2 章 揮発性高速 RAM

(執筆者: 仁田山晃寛) [2010 年 1 月 受領]

### ■概要■

電子機器のメモリシステムの中で Working Memory などとして高速なメモリ LSI を提供する揮発性高速 RAM の最近の技術動向を概観し、今後の技術展望を論じる。

### 【本章の構成】

本編では、揮発性高速 RAM の代表例として、DRAM (2-1 節)、SRAM (2-2 節) について述べる。

## ■10 群 - 4 編 - 2 章

### 2-1 DRAM

(執筆者：浜本 毅) [2008 年 10 月 受領]

#### 2-1-1 はじめに

ダイナミック・ランダム・アクセス・メモリ (Dynamic Random Access Memory: DRAM) は電荷を蓄えるキャパシタと、読み出しおよび書き込みを行うためのセルトランジスタからなるメモリセルを有する。メモリセルの構成要素が少ないため、他の半導体メモリに比較して高集積化に適する点が DRAM の特徴である。世代が進むに連れて、メモリセル面積は約 0.35 倍に縮小され、チップサイズは約 1.6 倍に拡大している。このメモリセルサイズの縮小とチップサイズの増大により、ビットあたりの価格が低減し、より大容量の DRAM が用いられるようになってきている。

#### 2-1-2 DRAM の基本動作

図 2-1 にメモリセルの基本構造とその等価回路を示す。DRAM のセル動作は、キャパシタに“1”または“0”に応じた電荷を蓄え、この電荷がリーク電流により消失する前にデータを読み出し、再度書き込む動作 (以降、リフレッシュ動作と呼ぶ) を行う必要がある。このため、データを保持するには動作させ続けなければならないが、メモリセル構造が 1 トランジスタ・1 キャパシタで構成され、他の半導体メモリデバイスに比較して大容量に適している。図 2-2 を用いてメモリセルからの読み出し動作を説明する。キャパシタが有する蓄積容量を  $C_s$ 、ビット線が有するビット線容量を  $C_b$  とする。まず、ビット線をプリチャージ電圧に設定する。その電圧は、キャパシタに書き込む“1”と“0”の中間電位、すなわち  $1/2 \cdot V_{cc}$  にする方式が一般的である。次にワード線にパルス電圧を印加する。この時、キャパシタの信号電圧に応じた出力電圧  $V_s$  が、プリチャージ電圧に重畳された形でビット線に現れる。この  $V_s$  は、

$$V_s = V_{cc} / 2 \cdot C_s / (C_s + C_b)$$

と表すことができる。一般に、ビット線容量は蓄積容量に比較して 10 倍以上なので、 $V_s$  は小さい値となる。例えば、 $V_{cc} = 1.5 \text{ V}$  とすると、 $V_s$  は 75 mV 程度となる。この微小電圧をセンスアンプを用いて増幅する。

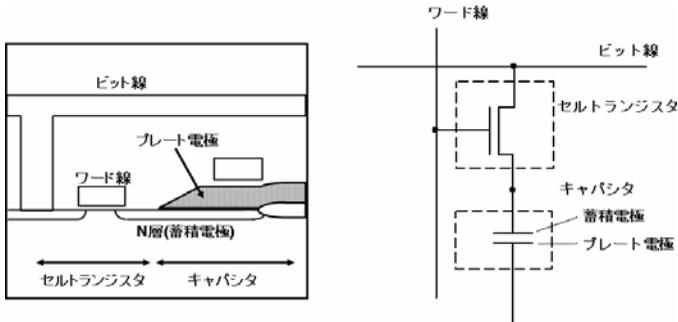


図 2-1 DRAM セル構造および等価回路

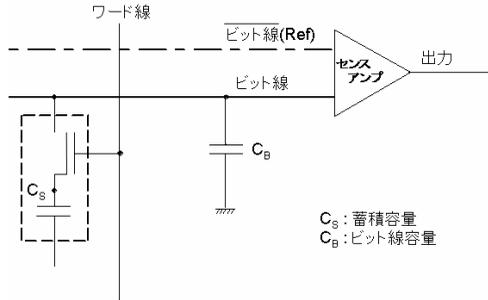


図 2・2 メモリセルとセンスアンプ

### 2-1-3 メモリセル技術

DRAM の高密度化，すなわちメモリセル面積を縮小する上で重要なのはキャパシタの蓄積容量を一定に保つことである．これは，メモリセル面積を縮小するに際して，DRAM の安定動作を確保する観点から出力電圧  $V_s$  を一定にする必要があるからである．図 2・3 にメモリセル構造の変遷を示す．1 M ビット DRAM までは，平面（プレーナ）構造のキャパシタを用いており，キャパシタの絶縁膜厚を薄膜化することでメモリセル面積の縮小に対応してきた．キャパシタ絶縁膜は一般的にはシリコン酸化膜またはシリコン酸化膜とシリコン窒化膜の 2 層膜で形成されており，その膜厚は 1 M ビット DRAM において 6 nm 程度であった．しかし，4 M ビット DRAM ではシリコン酸化膜の薄膜化が限界に達し，平面構造では必要なキャパシタ容量を確保することが困難となった．そこで，シリコン基板に溝を形成してキャパシタを埋め込むトレンチ型メモリセル，またはキャパシタをトランジスタの上に積み上げるスタック型メモリセルの大きく二種類の三次元キャパシタが採用された．

トレンチ型メモリセルの長所として，以下の点を挙げることができる．(1) 平面型メモリセルにトレンチを形成するプロセスを加えたメモリセル構造のため，平面型キャパシタとの製造プロセスの連続性が大きい．(2) トレンチ深さを増すことにより，蓄積容量を容易に増加可能である．(3) キャパシタ形成後にトランジスタを形成するため，トランジスタの設計に対する制限要因がスタック型に比較して少ない．

一方，スタック型メモリセルの長所として，以下の点を挙げるができる．(1) 電荷をトランジスタ上に積み上げた蓄積電極に蓄えるため  $n$  型拡散層面積が小さい．そのため， $\alpha$  線によって生成した電子の収集効率がトレンチセルに比較して小さくソフトエラー耐性が高い．(2) トランジスタ形成後にキャパシタ構造を形成するため，蓄積電極，キャパシタ絶縁膜，およびプレート電極の材料選択に対する制限要因がトレンチ型に比較して少ない．そのため，シリコン酸化膜に比較して誘電率の高い  $Ta_2O_5$  膜， $Ba_xSr_{1-x}TiO_x$ ，などが適応可能である．

現在も製品では，メーカーによりトレンチ型またはスタック型のどちらかのセル構造が採用されている．しかし，64 M ビット DRAM 以降はこれらのセルでは蓄積容量を確保することが困難になってきた．基板プレート型のトレンチセルまたはビット線先つくり型のスタックセル構造を採用することが主流となっている．

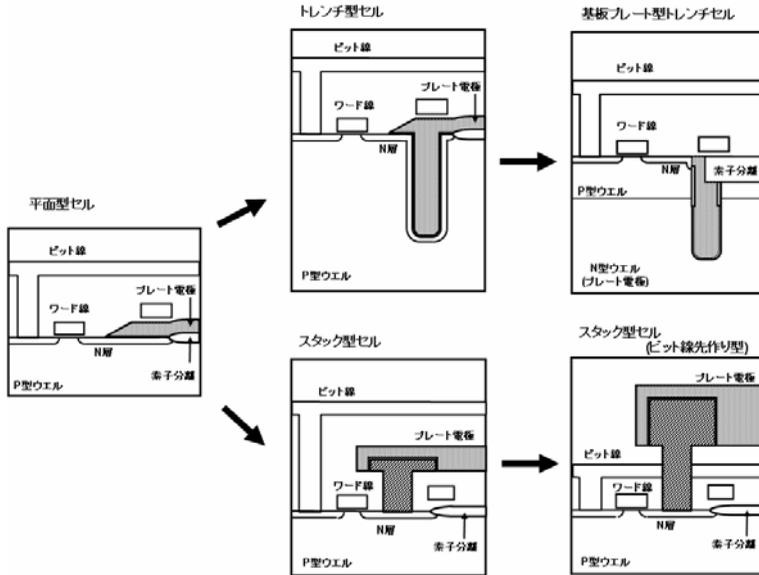


図 2-3 メモリセル構造の変遷

#### 2-1-4 メモリセル技術の問題点と課題

今後、DRAM を更に高密度化する上での主な課題として以下の点を挙げる事ができる。

①キャパシタ絶縁膜および電極：絶縁膜の材料としては、シリコン窒化膜、 $Ta_2O_5$  膜、が主に用いられている。更に誘電率が高い材料として、BST, STO,  $HfSiO$ 、などを挙げる事ができる。また、それぞれの材料に対して最適な上部電極および下部電極の組み合わせを選択する必要がある。また、キャパシタの表面積を拡大させるという観点からは、HSG (Hemi-Spherical Grain) が有効である。

②メモリセルレイアウト：現在のメモリセル面積はデザインルールを F (Feature Size) とした時に、 $8 F^2$  または  $6 F^2$  の大きさである。これはメモリセル構造がプレーナ型から三次元キャパシタへと変遷することによりキャパシタの平面積が縮小したためである。将来的にはセルトランジスタも三次元構造とすることにより、デザインルールを縮小せずにセル面積が更に縮小可能な  $4 F^2$  型のセル構造を採用する必要がある。

③ポーズ時間の制御：DRAM は受動素子であるキャパシタに信号電荷を蓄える方式のため、キャパシタの蓄積電極からのリーク電流により信号電荷が減少していく。そこで、ある一定時間ごとに読み出し・増幅・再書き込み、という一連の動作をすべてのメモリセルに対して行うことにより、信号電荷の消失を補償する必要がある。メモリセルからのリーク電流は種々の伝導機構があり、微細化に伴い増大する傾向が見られ、精密に制御することが重要になっている。

## ■10 群 - 4 編 - 2 章

### 2-2 SRAM

(執筆著：木原雄治) [2008 年 9 月 受領]

#### 2-2-1 SRAM とは

SRAM (Static Random Access Memory) は、記憶保持のために内部回路を動作させる必要のない揮発性 RAM と定義できる。一般に、記憶を保持する手段としてフリップフロップを使用するもので、RAM の基本形である。記憶保持のためにリフレッシュ動作が必要な RAM である DRAM (Dynamic Random Access Memory) が登場したことにより、区別するため Static という修飾詞が加えられたものである。フリップフロップを実現する回路素子として使用されるのは、トランジスタのほかに、抵抗素子 (可変抵抗素子を含む)、キャパシタなどの受動素子である。ただし、定義から考えれば、必ずしもフリップフロップ動作しなくても、トランジスタと受動素子で構成された回路の手段で記憶するデバイスであって、リフレッシュ動作が不要ならば SRAM と考えられる。

#### 2-2-2 SRAM の種類

SRAM という言葉には、デバイスそのものの名称として使用される場合と、機能として使用される場合がある。区別するために、前者を単体 SRAM、後者を内蔵 SRAM またはエンベディッド SRAM (eSRAM) と呼ぶ。内蔵 SRAM はロジック系デバイスには不可欠の存在であり、単に RAM とも呼ばれる。単体 SRAM はマイコンなどの CPU を含む素子からみれば外付け SRAM であるが、最近では外付け SRAM を用いず、内蔵 SRAM のみで構成する場合が増えているため、SRAM といえば専ら内蔵 SRAM を指すことが多い。単体 SRAM も内蔵 SRAM も基本的には同じ技術であるが、単体 SRAM ではチップ全体に占めるメモリセルの面積比率が高いため、メモリセル技術に対する自由度が高く、多様なバリエーションが存在する。一方、内蔵 SRAM においては、ロジックトランジスタを使用してメモリセルを構築するのが基本であるため、時代を超えてほとんど同じ技術が用いられている。

単体 SRAM は、非同期動作が前提で低消費電力を志向した LPSRAM (Low Power SRAM) と、非同期動作あるいは同期動作の高速 SRAM に分けられる。LPSRAM は、動作時の電流低減化も重要であるが、特にスタンバイ電流の低減化が求められる。スタンバイ電流を  $1 \mu\text{A}$  以下とすることで安価なバッテリーでも長時間の記憶保持ができるからである。高速 SRAM においては、当然のことながら高速動作を求められ、CPU に近い部分で使用されるものは 1 GHz 程度の高速動作を求められる場合もある。しかし用途は様々で、消費電流による制限とか発生する熱による制限を受ける場合は、これらを考慮しながら高速動作を追及し最適化を図らなければならない。LPSRAM も高速 SRAM も基本的には同じ技術をベースとしているが、構造設計と回路設計をそれぞれに最も適合した形にして追求したことで、特性は全く別物のように見える。同期動作の SRAM はクロックに同期して動作するもので、内部動作をクロックにより規定できるため、回路動作としてはシンプルであり、CPU との協調動作ということでは自然な選択である。ただし、規格が様々であるため、ユーザーはデバイスの選択が難しい。一方、非同期動作の SRAM には外部からのクロック入力が存在しないため、規格の乱立とは無縁である。しかしながら、非同期動作とは、いかなるタイミングも許容するというこ

とであり、内部動作にとって微妙なタイミングのアドレス変化、あるいはノイズが入力の場合も誤動作は許されないということである。これに対応するため、周辺回路の構成が同期動作の SRAM とは異なる回路構成とする必要がある。一方、内蔵 SRAM においても、高速動作を求められる場合と低消費電力を求められる場合があるが、両者に明確な区別はない。高速でかつ低消費な SRAM を求められる場合もあるが、極限的な高速特性と低消費電力特性の両方を同時に満足することはできないのが現実である。なお、内蔵 SRAM はすべて同期動作であるが、CPU との関係で規格を自由に設定すればよいので、規格の混乱とは無縁である。システムの高速化という観点では、デバイス間の配線を使用しないで動作させることができる内蔵 SRAM の方が有利であるため、メモリ容量の小さい単体 SRAM というのは見られなくなった。

上記が一般的に SRAM と呼ばれているデバイスであるが、これ以外に SRAM の一種と考えられる RAM が存在する。これらは、DP-RAM (Dual Port-RAM) と CAM (Contents Addressable Memory) であり、若干特殊な用途に使用される。DP-RAM は一つのメモリセルに独立して動作する二つの入出力ポートが存在するものであり、CAM はサーチデータと記憶データが一致するかどうかをサーチする機能をもつ SRAM である。

更に、DRAM と同じメモリセルでインターフェースを SRAM 風とした、いわゆる擬似 SRAM と称する RAM が存在する。擬似 SRAM はリフレッシュが必要な RAM であるので SRAM とは定義できないということになる。混乱を避けるためか、最近では擬似 SRAM という名称は余り用いられなくなっている。その代わりに、Mobile RAM など、固有名詞をもつ RAM が各社からでている。揮発性 RAM である限り、Static 系か Dynamic 系のいずれかのメモリセルであり、リフレッシュの要・不要によりスタンバイ時の電流が異なることになるので、使用する場合は区別が必要である。

### 2-2-3 メモリセル技術

歴史的にみて単体 SRAM のメモリセルには CMOS 型と高抵抗負荷型の 2 種類があったと見てよい。高抵抗負荷型は、その後 TFT (Thin Film Transistor) 負荷型に発展していく。しかしながら、微細化が進んだ現在にはおいては、高抵抗負荷型と TFT 負荷型は用いられなくなっている。ただし、古いプロセス技術を用いた搭載ビット数の少ない単体 SRAM では現役であるので掲載しておく。内蔵 SRAM は、ロジックトランジスタとの関係で通常 CMOS 型が用いられている。これらのメモリセルの回路図を図 2・4 に示す。特性的に一長一短ある。図において WL はワード線と呼ばれ、“H”レベルにすることでメモリセルが読み出し／書き込みが可能となる。BL と  $\overline{BL}$  がビット線対で、読み出しデータと書き込みデータを伝送する。

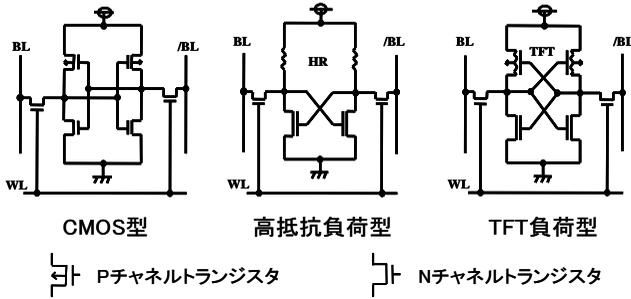


図 2-4 SRAM のメモリセル

### (1) CMOS 型

CMOS 型メモリセルを用いた SRAM は、CMOS プロセスを最も有効に使用するメモリデバイスである。メモリセルが周辺回路と同じ CMOS で構成されているため、メモリセルに特有の構造は不要である上、特性的にも優れている。このため、CMOS プロセスが登場した時代から用いられている古い技術である。一方で、バルクトランジスタ数は、P チャネルトランジスタ：2、N チャネルトランジスタ：4 で合計 6 であり、2 種類のトランジスタの分離も必要ということでメモリセルサイズが大きく、コストが高くなるという問題を持っている。CMOS 型メモリセルの特性面で優位な点は低電圧動作電圧特性と低スタンバイ電流特性である。

### (2) 高抵抗負荷型／TFT 負荷型

高抵抗負荷型は負荷を高抵抗素子で構成したものであり、高抵抗は不純物濃度を抑制したポリシリコンでできている。バルクトランジスタの数は N チャネルトランジスタ：4 で分離領域不要ということからメモリセルサイズを小さくできるので、コストは抑えられる方向にあるが、安定的なフリップフロップ動作特性を得るには、アクセスゲートに使用している N チャネルトランジスタに対しインバータに使用している N チャネルトランジスタのディメンジョンを 3 倍程度に設定する必要があるため、構造にもよるが、実際には CMOS 型と比べて 2 割程度の面積差となる。TFT 負荷型は TFT というポリシリコンでトランジスタ動作を実現した素子を負荷としており、スタンバイ電流を高抵抗に対して抑制するために開発されたものである。ポリシリコンでできたトランジスタであるので、オンオフ比ではバルクトランジスタには及ばないが、高抵抗ポリシリコン技術との組み合わせで、スタンバイ電流は CMOS 型に匹敵する程度の値に抑制することができる。ただし、TFT の製造技術は難易度が高く、対応できたメーカーはわずかであった。

単体の LPSRAM では、上記の 3 種類のメモリセルが技術の推移とともに使用されてきた。CMOS 型の特性的優位点は、低電圧動作特性と低スタンバイ電流特性であるが、電源電圧が高い時代にはその優位性が発揮できなかった。電源電圧が 5 V あるいは 3 V においては、CMOS 型以外のメモリセルでも十分動作するため、問題とならなかった。CMOS 型のスタンバイ電流特性は高抵抗負荷型に比べて優位であったのは確かであるが、高抵抗の抵抗値を大きくすることでそれなりに抑制可能であったため、価格と特性の兼ね合いで両者が並存した。市場では価格の問題があり、高抵抗負荷型が優位であった。このような状況が暫く続いたが、

微細化が進み、これに伴う低電圧化が進んできたことで、SRAM における技術も変化が起こった。1.8 V 以下の低電圧においては、動作特性が N チャネルトランジスタだけで決まる高抵抗負荷型、TFT 負荷型では低電圧での動作が困難となった。このため、低電圧動作特性の優れた CMOS 型がメモリセルとして残ることになった。現在でも小容量の単体 SRAM においては TFT 負荷型のものも生産されている。

基本的に高速 SRAM もメモリセルの種類ということでは LPSRAM と同じであるが、メモリセルを決める場合の観点が若干異なる。高速化という観点ではメモリセルサイズの小さい高抵抗負荷型の方が有利である。この理由は、メモリセルアレー内と周辺部の配線長が抑えられるからである。また、低スタンバイ電流を求められることも少ないため、CMOS 型の特徴も発揮することができなかった。このため、かつては高速 SRAM においては高抵抗負荷型を用いるのが普通であった。しかし、低電圧動作特性が重要であることは高速 SRAM も同様となった。これは高速化と動作電流の低減化のため、最先端の微細化技術を適用していたためである。微細化を進めるにはメモリセルにかかる電源電圧は抑制しなければならない。このため最近では低電圧動作に強い CMOS 型を採用している。

内蔵 SRAM においては、ロジック回路で用いる CMOS をそのまま用いるというのが原則であるため、一貫して CMOS 型を使用している。

## 2-2-4 周辺回路技術

読み出しは、アドレス入力に伴い、デコーダを選択してワード線を“H”レベルとしてメモリセルを活性化することにより、メモリセルに格納されていたデータをビット線に出力することで実行する。ビット線は対構成であり、bit 線または、/bit 線のいずれかをメモリセルが駆動して電位を下げ、一方の電位が低下したビット線対をセンスアンプの使用により増幅して出力する。また、書き込みはメモリセル選択時に、“H”を書き込みたい側のビット線を Vdd レベル、反対側のビット線を GND レベルとすることでメモリセルにデータを与えることで実行する。以上が SRAM の基本的な動作である。同期式の SRAM ではクロックに同期してデータの入出力を実施する。一方、クロック入力のない非同期 SRAM でも特性向上のため内部でクロックを発生させ、内部クロックに同期して動作させるのが普通となっている。アドレスに同期してクロックを出すので ATD (Address Transition Detector) と呼ばれており、LPSRAM においては内部回路の活性／非活性の制御に、高速 SRAM では内部回路のプリチャージとイコライズに使用する。なお、ビット線は、かつてはトランジスタを負荷回路として特定のレベルを与える方式が主流であったが、微細化の進展に伴いワード線の選択前に負荷回路を通じて特定のレベルにプリチャージし、ワード線の選択と同時に負荷回路を切り離してフローティング状態としてビット線を動作させる方式に移行している。

### (1) アレー構成

メモリセルをある単位に分割してデコーダとかセンスアンプをいかに配置するかを設定する。チップまたはモジュールの面積と特性の関係でいかなる分割数にするか、分割の方法を決める。一般に分割数が多い方が特性は向上するが、面積は大きくなる。また、場合によってはワード線とビット線の階層化を行う場合もある。階層化は、メモリセルに直接入出力する分割されたローカル配線と、上方にあってローカル配線に信号を入出力するグローバル配

線から構成される。メモリ容量の増大化に際しては、これらの技術を組み合わせてアレーを構成する。図 2・5 にアレー分割の一例を示す。

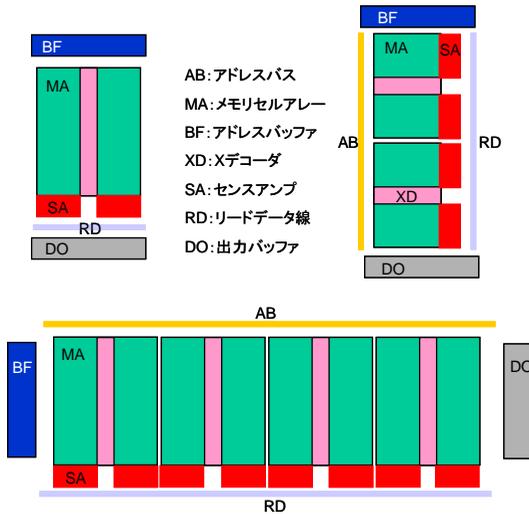


図 2・5 アレー構成の一例

## (2) センスアンプ

SRAM では多くの場合、差動型センスアンプを用いる。ビット線が対となっているため、動作速度などの特性向上に有利な差動型とするが、面積を最小にするには必ずしも最適とは言えないため、一部に片方のビット線をインバータに入力して増幅する方式をとるものも見られる。同期式と非同期式で使用するセンスアンプに違いがある。同期式には、高速化と低消費電流化に有利な増幅信号をビット線にフィードバックするタイプのラッチ型が用いられる場合が多い。一方、非同期式の SRAM では、フィードバック有りのラッチ型を用いるには障壁がある。ビット線がフローティングであるため、何らかの要因で“L”となるべきビット線のレベルが他方のビット線に比べて高電位となる場合は誤動作を発生させ、メモリセルのデータが書き換わってしまう。フィードバックの無いラッチ型、もしくはカレントミラー型のように、センスアンプの出力がビット線の動作に影響を与えないセンスアンプでは、一時的に誤動作することはあってもメモリセルの内容までは破壊されない。これらを検討してセンスアンプを選択する。

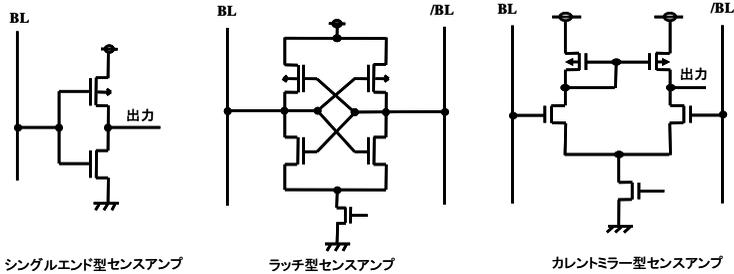


図 2-6 センスアンプ回路

### (3) 内部同期回路

各アドレスバッファから入力に変化したことを検知して ATD (Address Transition Detector) パルスを発生し、各アドレスバッファからのパルスを集めて動作の基本パルスを形成するものである。

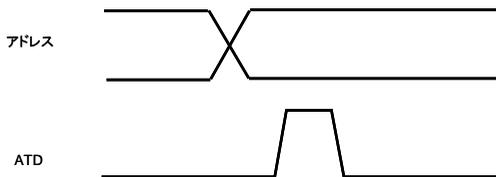


図 2-7 内部同期回路

内部同期回路を使用する理由は様々あるが、主なものは次の 2 点である。

#### 1. 高速動作

アドレスが変化し新たなアドレスをアクセスする場合に、ビット線対を ATD パルスで同電位にイコライズすることで、ビット線動作における旧アドレスのデータの影響排除することができるため、高速アクセスが実現できる。ビット線対以外でも、センスアンプ入出力の各ノードにイコライズをかけることで同様の効果が実現可能である。

#### 2. 低消費電力化

ATD パルスの幅は、通常数 ns であるが、この幅を長くして数十 ns とし、このパルスを用いてワード線選択とセンスアンプ活性化の時間を制限することで、動作時の時間を短くすることができる。ワード線を選択するとメモリセルへビット線の電荷が流れ出すことで電流が流れる。また、センスアンプは入力であるビット線が中間レベルであるため DC 電流が流れる。内部同期回路で動作時間を短くすることで、消費電流を抑制することができる。

### 2-2-5 SRAM メモリセル技術の問題点と対策

半導体において微細化は、動作特性の向上とコスト低減が見込めるため、止まることのない

い微細化開発が続いている。しかし、微細化に伴い電源電圧を下げたことで SRAM の基本特性に問題が発生するに至った。これらの問題への取り組みについて整理する。

## (1) 問題点

現在の SRAM 技術はメモリの大容量化に対し大きな壁にぶつかっていると考えられる。問題点は、ソフトウェア耐量、低電圧動作、低スタンバイ電流、メモリセルサイズの 4 点である。それぞれの問題について述べる。

### 1. ソフトエラー耐量

RAM において、放射線入射によりメモリセルのデータが消失するソフトウェアという現象は古くから知られている。しかし、微細化の進展で問題は徐々に深刻化してきている。対策としては、ECC の搭載とメモリセルの記憶ノードの容量増加対策が知られているが、これらの対策ではコストが上昇することになる。すなわち構造が複雑化するとか、チップ面積が大きくなるという形で製造コストを押し上げる。しかし、SRAM はビット当たりの面積が他 RAM に比べて大きいにもかかわらず更にコストを上昇させるというのは、市場における存在意味すら消失しかねない重大な問題を含んでいるため、簡単には決断ができない状況である。

### 2. 低電圧動作

プロセスの微細化は、信頼性という観点からすれば、電源電圧の低減化と同時に進めるのが理想的姿である。このため、いち早く高抵抗負荷型 SRAM が姿を消したのであるが、CMOS 型のメモリセルでも限界に近い状況である。原理的には、P チャネルトランジスタの  $V_{th}$  (閾値電圧) と N チャネルトランジスタの  $V_{th}$  の絶対値和が限界であり、 $V_{th}$  のばらつきから考えると電源電圧が 1.2 V 以下では動作マージンが低下する。

### 3. スタンバイ電流

スタンバイ電流も微細化の影響を受けている。トランジスタのリークには、様々あるが、かつて SRAM で重要と考えられてきたリーク成分はサブスレッショルドリーク電流であった。このリーク成分は、主に  $V_{th}$  に依存するので、製品としての動作速度とスタンバイ電流を考えながら最適化した。しかし、GIDL (Gate Induced Drain Leak)、ゲートトンネルリーク、ジャンクションリークなどの占める割合が増加してきたため、 $V_{th}$  の調整だけでは低スタンバイ電流化は実現不能となっている。これらの対策には、低電圧化が有効であるが、低電圧化が問題の一つとなっているため、対策は容易ではない。

### 4. メモリセルサイズ

現時点の平均的な SRAM のメモリセルサイズは、デザインルールを F とすると 120 F<sup>2</sup> 程度である。DRAM が積層型キャパシタに移行してから SRAM とのメモリセルの面積比は 10 倍程度ではすまなくなっている。チップ面積はこれほどでないにしても、ほとんど比較する意味がないレベルにまで広がっているのが実情である。

## (2) 単体 SRAM での対策

SRAM には問題点が多くあるので、搭載ビット数の増大化が難しくなっている。新しい技術のメモリセルで SRAM の全問題点を解決した例として SuperSRAM<sup>1)</sup> 技術について紹介する。なお、当デバイスを製品化しているのは、ルネサステクノロジのみである。

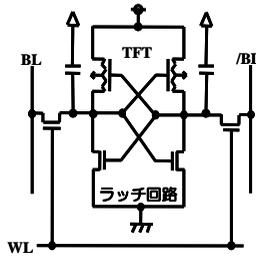


図 2・8 SuperSRAM のメモリセル

SuperSRAM とは DRAM 技術を用いた SRAM といい、次の動作をする。

- ・読み出し／書き込み動作は DRAM 同様、キャパシタを用いる。
- ・データ保持は SRAM と同様、ラッチ回路を用いる。

SuperSRAM におけるラッチ回路は非選択時のデータ保持機能のみであり、基本的に動作には携わらない。インバータの P チャンネルトランジスタを TFT としたので、バルクのトランジスタとしては N チャンネルのみで構成できる。また、読み出し時のデータ保持機能を持たせる必要がないので、すべてのトランジスタを最小ディメンジョンにできる。これにより、フリップフロップで動作する通常の SRAM よりメモリセルの面積が半分以下にできる。各問題点に対する対応については、次のとおりである。

#### 1. ソフトエラー

ソフトエラー耐量に優れたスタックキャパシタを対で用い、常にフル充電されていることで、十分な記憶ノード容量が得られることから特性が大幅に改善され、論じる必要がないレベルである。

#### 2. 低電圧動作特性

通常の DRAM とは異なり相補動作とし、センスアンプの動作特性に問題の発生しない Vdd レベルをビット線プリチャージとすることで良好な特性を得られる。

#### 3. スタンバイ電流

SuperSRAM は DRAM 同様キャパシタを用いているがリフレッシュは不要である。DRAM においてはキャパシタの電荷が時間とともに放電してしまうが、SuperSRAM ではこの自然放電をラッチ回路で補填することができるのでリフレッシュが不要となる。低電圧化の促進とトランジスタ特性の調整により、スタンバイ電流を SRAM と同等または、それ以下に抑えることができる。

#### 4. メモリセルサイズ

SuperSRAM のメモリセルサイズは、 $44 F^2$  である。構造は複雑になるが、メモリセル面積が縮小するため、ビット当りのコストは下がる。

### (3) 内蔵 SRAM での対応

内蔵 SRAM では、通常のロジックプロセスでできるというのが前提条件となるため、CMOS 型のメモリセル以外は選択肢となり難い。従って、上記の四つの問題がそのまま残ることになる。

すべてを解決できる技術はないので、それぞれの問題点に対して個別に対応することになる。

### 1. ソフトエラー

内蔵 SRAM におけるソフトエラーの対策方法は、ECC の搭載が主流である。SRAM 部だけのために特別な構造とするのは、コスト的に無理があるため、性能低下とコストアップの問題はあるが、ECC での対策を実施している。また、これらの問題もチップ全体として見れば、コストアップは許容範囲であり、動作周波数もサイクル数を増加されることで対応している。また、ECC の構成も、I/O の構成を増やして、パリティビット数を減らすタイプのものが主流になりつつあるので、面積ペナルティ自体も減少している。

### 2. 動作下限電圧

CMOS 型メモリセルの低電圧動作特性は限界に近く、1 V 以下での量産は難しいと考えられる。メモリセルの動作特性を決めているのは、MOS トランジスタ特有の  $V_{th}$  特性である。N チャネルトランジスタの  $V_{th}$  と P チャネルトランジスタの  $V_{th}$  の絶対値の合計値以下では動作が難しい。 $V_{th}$  を下げるとするのは、一つの方法であり、スタンバイ電流を気にしない用途の SRAM では実現可能である。しかし、通常の用途では、常識的なスタンバイ電流を確保した上で高速特性を求められるので、トランジスタのリーク電流を増加させる  $V_{th}$  の設定は限界がある。現時点では有効な対策方法が見つかっていない。何らかの新しい方法の開発が待たれるところである。

### 3. 低スタンバイ電流

サブスレッショルドリーク低減のための  $V_{th}$  設定に加え、GIDL、ゲートリーク、ジャンクションリークなどのリーク成分を緩和するために、電界の緩和を図る必要がある。このため、スタンバイ時にメモリセル部の接地電位を上昇させて、メモリセルにかかる電位差を少なくすることで対応する場合がある。この場合、ソフトエラー特性が悪化するので、上記 ECC との組み合わせが必要となる。

### 4. メモリセルサイズ

今のところ有効な対策は見つかっていない。

## 2-2-6 内部降圧回路

単体 SRAM においては、微細化を進める上で必須となってくるのが内部降圧回路の技術である。高速 SRAM においては、比較的大きい消費電力で対応可能であるため大きな問題はないが、LPSRAM においてはスタンバイ電流を少なくすることが重要であるため特別な技術が必要である。内部降圧回路においては降圧レベルを設定するため基準電位発生回路を用いる。基準電位発生回路では外部電源から GND に対しある程度の電流を流さざるを得ないのであるが、動作の安定性を確保した上で、この電流値をいかに小さくできるかがポイントである。LPSRAM においては、1  $\mu\text{A}$  レベルの低スタンバイ電流を求められるが、通常のリーク電流により発生する成分に内部降圧回路で消費する電流を加えて 1  $\mu\text{A}$  を達成することは極めて難しくなっている。このため、各社独自の方式で対応している。

## 2-2-7 パッケージ技術

単体 SRAM においては、パッケージ技術はユーザーにおけるシステム構築という観点で極めて重要である。

## (1) LPSRAM

基本的には小型化が進んでいる。一般には、SOP (Small Outline Package) →TSOP (Thin Small Outline Package) →BGA (Ball Grid Alley) と考えられる。しかし BGA は実装状態が確認できないとかリワーク不能とかの問題点もあり、必ずしも主流にはなっていない。

## (2) 高速 SRAM

同期型の SRAM が主流となり、IO の数が増加してきたことで多ピン化が進んでいる。更に、多 IO 化の上に IO セパレート品の登場ということで、多ピンに対応できるパッケージが主流となりつつある。ピン数が比較的少ない時は 4 辺にリードがあることで比較的多ピンに対応できる TQFP が用いられてきたが、多ピン化が進むと BGA に集約されることになると考えられる。

### 2-2-8 今後の展望

先述のとおり、SRAM 技術は難しい局面に差し掛かっている。この一方で、特にシステム LSI を中心として、内蔵 SRAM 無しでは動作できないのであり、必要不可欠の存在である。現行技術を基本とした動作特性改善の方向に進むと考えられる。これにより、単体の高速 SRAM は、システム LSI からロジック部を取り除いたものに近くなると考えられる。一方、単体の LPSRAM においては対応可能な新技術が出てきているので、新たな市場形成が進んでゆくものと考えられる。

#### ■参考文献

- 1) 木原雄治, 中嶋泰, 井筒隆, 中本正幸, 吉原務, “DRAM 技術を用いた新型 SRAM,” 信学論(C), vol.J89-C, no.10, pp.725-734, 2006.