

■10 群 (集積回路) - 4 編 (メモリ LSI)

5 章 新規メモリ

(執筆者: 仁田山晃寛) [2010 年 1 月 受領]

■ 概要 ■

将来の進展が期待されるシリコンベースの新規の半導体メモリの最近の技術動向を概観し、今後の技術展望を論じる。

【本章の構成】

本編では、新規メモリの代表例として、PRAM (5-1 節)、ReRAM (5-2 節) について述べる。

■10 群 - 4 編 - 5 章

5-1 相変化メモリ (PCM/PRAM)

(執筆著者：松崎 望) [2008 年 10 月 受領]

相変化メモリは、同一物質の結晶状態とアモルファス状態とで生じる物理特性の差異を記憶情報として利用するものであり、1960 年代に開発された技術に端を発する。現在の代表的な市販品としては、DVD-RAM などの書き換え可能な光学記録ディスクがある。情報の記憶にはカルコゲナイドと呼ばれる Te 合金が用いられ、高い反射率を持つ結晶状態と低い反射率のアモルファス状態との違いをレーザー光の反射で読み取り、デジタル信号として扱うものである。情報の書き換えは、照射するレーザー光でカルコゲナイドを溶融させた後に急冷することでアモルファス状態を、結晶化温度域に保持して結晶状態を、それぞれ作り出すことを行なう。

近年、その原理の簡便性、記憶の不揮発性、書き換え回数の多さなどの特長から、相変化メモリの LSI への応用が注目されるようになった。光学記録ディスクのような反射率の差異を用いるのではなく、結晶状態で電気抵抗が低くなり、アモルファス状態で電気抵抗が高くなる現象を利用した電気的情報として記憶を行なう。本章では、LSI 応用としての相変化メモリ (Phase-Change Memory: PCM あるいは Phase-change Random Access Memory: PRAM。以下、本節では PCM/PRAM と記述) の技術を概説する。

5-1-1 動作原理

光学記録ディスクでの書き換えにはレーザー光による熱を用いるが、PCM/PRAM ではジュール熱を利用する。図 5-1 に、カルコゲナイドに電流印加を行なった際に観測される、典型的な電流-電圧特性を示す。アモルファス状態にあるカルコゲナイドに印加する電流を上げていき、電圧がある値に達すると、カルコゲナイド内部でインパクトイオン化が起こってキャリアが増倍して¹⁾、急激に抵抗が低下する。この現象を起こす「しきい値電圧」以上の電圧を印加すれば大電流が流れてジュール熱が発生し、カルコゲナイドの温度が上昇する。印加する電圧を制御して、カルコゲナイドの温度を結晶化温度領域に保持すれば、多結晶状態に遷移して抵抗が下がる。このインパクトイオン化は、PCM/PRAM の書き換え動作に欠かせない物理現象である。

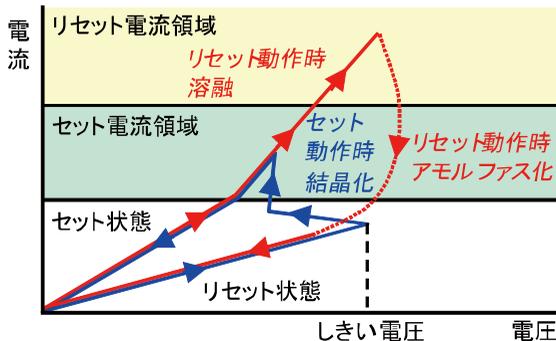


図 5-1

一旦、多結晶状態になれば、印加電圧をゼロにしてもその状態が保持され、抵抗は低いままとなる。また、この低抵抗状態のカルコゲナイドに高電圧を印加して大電流を流して、カルコゲナイドの融点を越えるまで温度を上げれば、カルコゲナイドは溶融する。そこから電圧を急激に下げればカルコゲナイドは急冷されてアモルファス状態になり、抵抗は高くなる。その後は電圧を印加しない状態でもアモルファス状態が保持されるので、抵抗は高いままとなる。これがPCM/PRAM書き換えの動作原理である。抵抗を下げる書き換え動作を「セット動作」、抵抗が低い状態を「セット状態」と呼び、抵抗を上げる書き換え動作を「リセット動作」、抵抗が高い状態を「リセット状態」と呼ぶのが一般的である。セット状態・リセット状態、ともに外部からのエネルギー供給が無くとも状態を保持し続けるので、PCM/PRAMは不揮発メモリとして機能する。

5-1-2 カルコゲナイド材料

PCM/PRAMの材料で最も報告が多いものは、組成比2:2:5のGe-Sb-Teである。この材料は結晶化速度が速く(セット動作が速い)、DVD-RAMの基本材料としても用いられている。図5・2は、三元系材料の組成表示を示すためによく用いられる三角図である。三角形頂点は、そこに記された元素が100%となるポイントになる。Teを例に挙げれば、その頂点に対向する最外辺上が、Te含有量が0の場合の組成である。最外辺に平行な線が10%ごとに引かれており、これは各元素の含有量を示す位置である。例えば、図5・2中の(a)の線上ではTeの含有量は20%となる。Ge₂Sb₂Te₅であれば、図5・2中の赤丸の位置になる。ある特性を向上させると、他の特性が劣化する副作用が起こる可能性もあるので注意が必要であるが、材料の検討は重要である。材料探索に関しては光学記録ディスクの研究が先んじており、Ge-Sb-Teの組成比を変更したり、他の元素で一部を置換したりする検討がなされてきた。PCM/PRAMでも同様の検討報告がある²⁾。後述の各項にも、それぞれの内容に関連する材料検討の報告例を記載した。

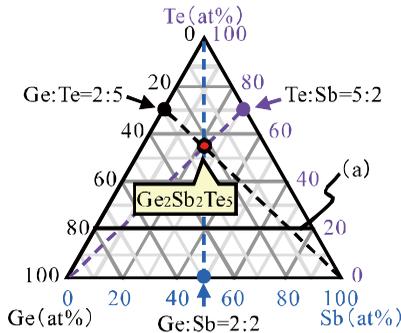


図 5・2

5-1-3 基本構造

図5・3に、PCM/PRAMを構成する抵抗素子構造の例を示す。この抵抗素子構造は、下部電極プラグ、カルコゲナイド、上部電極層から成る。上部電極とカルコゲナイド層との接触

面積は、下部電極プラグとカルコゲナイド層との接触面積よりも大きいため、上部電極側の方が熱を拡散し易い。したがって、結晶状態とアモルファス状態とが入れ替わる相変化が起こるのは、より高温になり易い下部電極プラグ側である。下部電極プラグを「ヒーター」と称している報告もある³⁾。

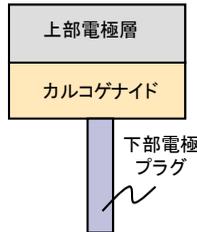


図 5.3

一般に、PCM/PRAM は、能動素子と、抵抗素子としてのカルコゲナイドとを直列に接続した構成をとる。能動素子に MOSFET を用いた例を図 5.4 に示す。動作に必要な電圧・電流によって、MOSFET に要求される性能（電圧-電流特性、耐圧など）が変わるため、その MOSFET の構成要件であるゲート長、ゲート幅、ゲート絶縁膜厚などの仕様もまた変わる。MOSFET よりも高い駆動能力が必要な場合には、能動素子としてダイオードを用いることが多い⁴⁾。下部電極プラグは、LSI 配線プラグを設ける場合と同様の製造プロセスを利用できる。すなわち、層間絶縁膜に、リソグラフィとドライエッチング技術とを用いて VIA を開口し、そこに金属を CVD 法（Chemical Vapor Deposition: 化学的気層成長法）あるいはスパッタ法で埋め込んでから、CMP（Chemical Mechanical Polishing: 化学的機械研磨）を施して形成するのが一般的である。この上に、スパッタ法でカルコゲナイド層と上部電極とを成膜した後、リソグラフィとドライエッチングを用いて所望のパターンに加工する。その後、層間絶縁膜堆積、CMP、上部電極の引き上げ VIA 開口および上部電極引き上げプラグ形成、配線形成、と続く。

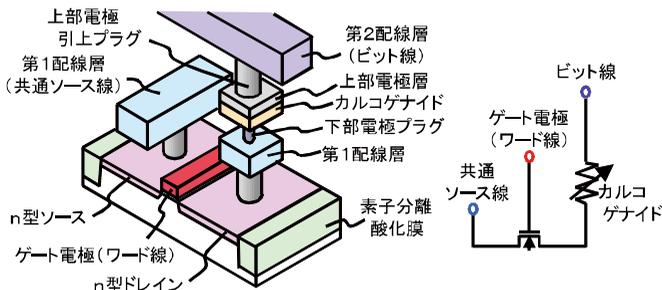


図 5.4

5-1-4 動作特性

最も高い温度を必要とするのが、カルコゲナイドの熔融を伴うリセット動作である。よく使われる $\text{Ge}_2\text{Sb}_2\text{Te}_5$ の融点は約 600°C にもなり、これ以上の温度をジュール熱で達成することが求められる。全動作中、リセット動作の電力が最も大きいため、PCM/PRAMのメモリセルを構成する能動素子の仕様はリセット動作に必要な電圧・電流で決定される。メモリセル面積を低減するためには、リセット電圧・電流の低減を下げ、能動素子のサイズを小さくすることが重要になる。PCM/PRAMには、下部電極プラグサイズが小さいほどリセット電流が低減する、という特徴がある⁵⁾。リセット電流を数百 μA に下げるため、 $50\sim 30\text{ nm}$ 程度の下部電極プラグ径を狙う報告が多い。リング状の下部電極プラグ形状にすることで下部電極プラグの実効面積を低減させた報告もある⁶⁾。構造を変更するアプローチとして、下部電極プラグに凹みを設けて相変化に寄与するカルコゲナイドの体積を減らすもの⁷⁾、下部電極プラグとカルコゲナイドの間に界面層を設けるもの⁸⁾などがある。材料を工夫した報告としては、 Ge-Sb-Te に酸素を添加⁹⁾、窒素を添加¹⁰⁾、あるいは Si を用いたもの¹¹⁾などがある。メモリセルとしてのセット動作においては、インパクトイオン化を起こすきい値(図5・1参照)を越えるように、能動素子の電圧降下分を上乗せした印加電圧が必要になる。印加電圧は 1.5 V 以下のものが報告されている¹²⁾。リセット動作速度、セット動作速度はそれぞれ約 1 ns 、約 50 ns の報告がある³⁾。

通常、セット状態とリセット状態とでの電気抵抗の差は1桁から3桁程度あり、各状態での読み出し信号の区別は十分に可能である(図5・5参照)。ただし、書き換え後の抵抗バラツキが大きい場合は、セット状態とリセット状態とを区別するマージンが狭くなる。抵抗バラツキの抑制は重要な課題であり、改善手法の報告がある¹³⁾。

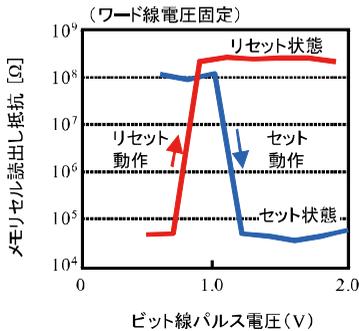


図 5-5⁹⁾

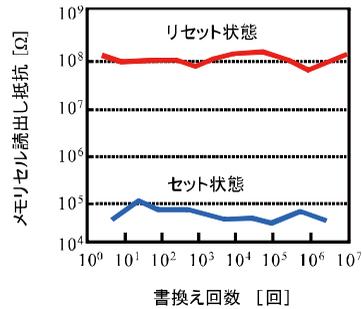


図 5-6⁹⁾

書き換え時に印加する電圧パルスの条件を様々な制御することで、セット状態とリセット状態の二つの状態だけでなく、中間的な抵抗値を示す状態も作り出して多値記憶を狙う報告がある¹⁴⁾。フラッシュメモリと同様に低コスト化を図るための技術であるが、抵抗バラツキに対する許容度は2値記憶の場合よりも厳しくなり、それだけ技術的な難易度は高くなる。

読み出しの際の印加電圧条件は、セット状態・リセット状態、どちらの場合も情報を破壊

せずに読めることが求められる。特に、リセット状態でカルコゲナイドに印加される電圧は、しきい値電圧未満でなければならない。メモリアレイ設計上での制限事項の一つである。

5-1-5 信頼性 (書き換え回数と情報保持特性)

図 5-6 に書き換え試験の例を示す。フラッシュメモリの 1×10^6 回程度と比べて、書き換え回数が多く、これまでに最大 1×10^{12} 回程度の書き換え回数が報告されている³⁾。書き換えが進むにつれ、セット・リセット各々の状態での抵抗値が変動を始める。やがて規定の抵抗範囲や書き換え電圧範囲を超えた場合に、書き換え寿命となる。書き換え寿命をもたらすの原因の一例として、カルコゲナイド膜内部の相変化を起こす領域での書き換えに伴って進行する組成偏析と関係がある、とする報告がある¹⁵⁾。こうした不良発生メカニズムの詳細な解析を通じた信頼性の探究は、今後の重要な課題である。

耐熱性、すなわち、温度に対する情報保持能力の高さ (リテンション特性) も重要項目である。アモルファス状態のカルコゲナイドは、高温になるほど短時間で結晶化を起こして電気抵抗が低下する。一例として、リセット状態のメモリセルを放置した場合の抵抗低下の模式図 (図 5-7 参照) と、横軸に温度の逆数、縦軸に抵抗が低下するまでの時間をとったアレニウスプロットの例を示す (図 5-8 参照)。プロットは略直線で、一定のエネルギー障壁を越えて起こる現象であることを示す。このときの活性化エネルギーはおおむね 3 程度と大きく、抵抗が低下する現象は温度に対して敏感である。Ge₂Sb₂Te₅ の保持能力として、10 万時間で 85 °C の報告があるが¹⁶⁾、カルコゲナイドの成分を変更して、保持温度を大きく向上させた報告もある^{17, 18)}。

一方、経時変化で抵抗値が上昇する現象も報告されている¹⁹⁾。放置開始の時の抵抗が高いほど、その後の抵抗上昇の程度が顕著になる、という特徴がある。これに対し、「アモルファスの構造緩和により電子伝導を担う準位が減少する」、というモデルが提唱されている²⁰⁾。

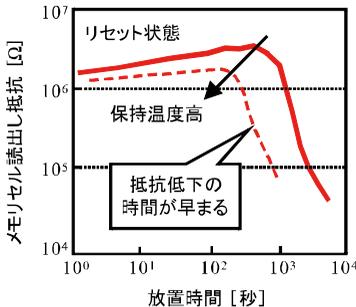


図 5-7

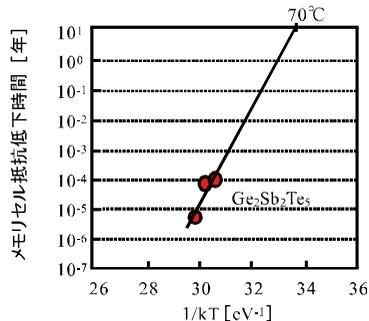


図 5-8

5-1-6 将来展望

PCM/PRAM は、(1) 構造が単純で製造プロセスが簡単、(2) 記憶の不揮発性を有する、(3) 書き換え電圧がフラッシュメモリよりも大幅に低い、(4) 書き換え回数がフラッシュメ

メモリよりも桁違いに多い、(5) 書き換え速度が速い、などの特長から、ポストフラッシュメモリ、ポスト DRAM あるいはロジック LSI 混載メモリ (embedded memory: 組込みメモリ、または on-chip memory と表現される) としてのオンチップでのプログラム格納用途あるいはデータの揮発格納用途が期待されている。特に大容量単体メモリでは、メモリセル面積の低減が重要である。各設計ルールでの最小加工寸法を“F”と表記すると、DRAM のメモリセル面積は $8\sim 6 F^2$ 、NAND 型フラッシュメモリのメモリセル面積は $4 F^2$ である。現状、それらには及ばないが、徐々に改善は進むと期待される。また、既存 RAM 代替用として、書き換え回数を 1×10^{16} 回以上に伸ばす技術開発も進むと期待される。既存メモリの置き換えではなく、その特性を活かした新たな用途への展開もあろう。PCM/PRAM はさらなる発展が期待される素子技術である。

■参考文献

- 1) A. Pirovano, A.L. Lacaita, and R. Bez, “Electronic switching in phase-change memories,” IEEE Trans. Electron Devices 51, pp.452-459, 2004.
- 2) Y.C. Chen, C.T. Chen, J.Y. Yu, et. al., “180nm Sn-doped Ge/sub 2/Sb/sub 2/Te/sub 5/ chalcogenide phase-change memory device for low power, high speed embedded memory for SoC applications,” Proc. 2003 Custom Integrated Circuit Conf., pp.395-398, 2003.
- 3) S. Lai and T. Lowrey, “OUM - A 180 nm nonvolatile memory cell element technology for stand alone and embedded applications,” Tech. Dig. Int. Electron Devices Meet., pp.36.5.1-36.5.4, 2001.
- 4) J.H. Oh, J.H. Park, Y.S. Lim, et al., “Full Integration of Highly Manufacturable 512 Mb PRAM based on 90 nm Technology,” Tech. Dig. Int. Electron Devices Meet., pp.49-52, 2006.
- 5) S. Lai, “Current status of the phase change memory and its future,” Tech. Dig. Int. Electron Devices Meet., pp.10.1.1-10.1.4, 2003.
- 6) S.J. Ahn, Y.N. Hwang, Y.J. Song, et al., “Highly Reliable 50 nm Contact Cell Technology for 256 Mb PRAM,” Symposium on VLSI Technology, pp.98-99, 2005.
- 7) F. Pellizzer, A. Benvenuti, B. Gleixner, et al., “A 90 nm Phase Change Memory Technology for Stand-Alone Non-Volatile Memory Applications,” Symposium on VLSI Technology, pp.122-123, 2006.
- 8) Y. Matsui, K. Kurotsuchi, O. Tonomura, et al., “Ta₂O₅ Interfacial Layer between GST and W Plug enabling Low Power Operation of Phase Change Memories,” Tech. Dig. Int. Electron Devices Meet., pp.769-772, 2006.
- 9) N. Matsuzaki, K. Kurotsuchi, Y. Matsui, et al., “Oxygen-doped ge sb te phase-change memory cells featuring 1.5 V/100- μA standard 0.13 μm CMOS operations,” Tech. Dig. Int. Electron Devices Meet., pp.738-741, 2005.
- 10) H. Horii, et al., “A Novel Cell Technology Using N-doped GeSbTe Films for Phase Change RAM,” Symposium on VLSI Technology, pp.177-178, 2003.
- 11) Solid-State and Integrated Circuit Technology, pp.721-724, 2006.
- 12) K. Osada, T. Kawahara, R. Takemura, et al., “Phase change RAM operated with 1.5-V CMOS as low cost embedded memory,” Proc in Custom Integrated Circuits Conference, pp.431-434, 2005.
- 13) Y.J. Song, K.C. Ryoo, Y.N. Hwang, et al., “Highly Reliable 256 Mb PRAM with Advanced Ring Contact Technology and Novel Encapsulating Technology,” Symposium on VLSI Technology, pp.118-119, 2006.
- 14) T. Nirschl, J.B. Philipp, T.D. Happ, et al., “Write Strategies for 2 and 4-bit Multi-Level Phase-Change Memory,” Tech. Dig. Int. Electron Devices Meet., pp.461-464, 2007.
- 15) B. Rajendran, M.-H. Lee, M. Breitwisch, et al., “On the Dynamic Resistance and Reliability of Phase Change Memory,” pp.96-97, 2008.
- 16) B. Gleixner, A. Pirovano, J. Sarkar, et al., “DATA RETENTION CHARACTERIZATION OF PHASE-CHANGE MEMORY ARRAYS,” IRPS, pp.542-546, 2007.
- 17) Y.Y. Lin, H.B. Lv, P. Zhou, et al., “Nano-crystalline phase change memory with composite Si-Sb-Te film for better data retention and lower operation current,” Non-Volatile Semiconductor Memory Workshop, pp.61-62, 2007.

- 18) T. Morikawa, K. Kurotsuchi, M. Kinoshita, et al., "Doped In-Ge-Te Phase Change Memory Featuring Stable Operation and Good Data Retention," Tech. Dig. Int. Electron Devices Meet., pp.307-310, 2007.
- 19) D. Ielmini, A.L. Lacaita, D. Mantegazza, et al., "Assessment of threshold switching dynamics in phase-change chalcogenide memories," Tech. Dig. Int. Electron Devices Meet., pp.877-880, 2005.
- 20) D. Ielmini, S. Lavizzari, D. Sharma, et al., "Physical interpretation, modeling and impact on phase change memory (PCM) reliability of resistance drift due to chalcogenide structural relaxation," Tech. Dig. Int. Electron Devices Meet., pp. 939-942, 2007.

■10 群 - 4 編 - 5 章

5-2 ReRAM

(執筆: 澤 彰仁) [2008 年 9 月 受領]

ReRAM (resistance random access memory) は情報をセルの抵抗値の違いとして記憶する不揮発性メモリで、電氣的に書き込み・消去が可能である。図 5・9 に示すように、基本的なセル構造は抵抗変化材料である金属酸化物を電極で挟んだキャパシタ構造であり、セルにパルス電圧を印加することによりセルの抵抗値を変化させて情報を記憶する。ReRAM は単純なセル構造であるため微細化・積層化が容易であり、1 桁以上の大きな抵抗変化が得られかつ多値化が可能であることなどの特長から、超高密度化が期待されている^{1,2)}。書き込み・消去の動作は、5 ns 以下のパルス電圧で可能であり、高速性も有している³⁾。

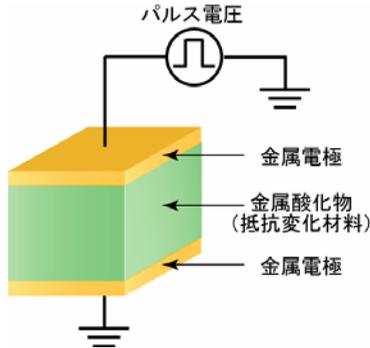


図 5・9 ReRAM の基本的なセル構造

5-2-1 ReRAM の動作特性・機構の分類

ReRAM のセルに用いる抵抗変化材料は、ペロブスカイト型金属酸化物など複数の金属元素と酸素で構成される多元系金属酸化物と、一種類の金属元素と酸素で構成される二元系金属酸化物に分類される^{1,2)}。実用化に向けた開発においては、CMOS プロセスとの親和性が高い NiO や TiO₂ などの二元系金属酸化物を用いる場合が多い。ReRAM の動作特性は、抵抗変化材料に用いる金属酸化物の種類や、電極に用いる金属材料の違いを含むセル構造に依存しており、その動作特性は図 5・10 に示すような電流－電圧特性の違いにより、ユニポーラ型(またはノンポーラ型)とバイポーラ型の二種類に分類される^{4,5,6)}。また、提案されている動作機構も抵抗変化材料やセル構造に依存しており、図 5・11 に示すように抵抗変化現象が発現している領域によってフィラメント型(またはヒューズ・アンチヒューズ型)と界面型の二種類に分類されている^{4,6)}。

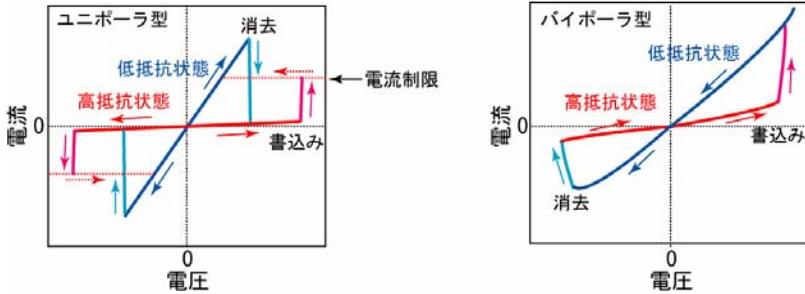


図 5-10 ユニポーラ型 (左) とバイポーラ型 (右) の電流-電圧特性

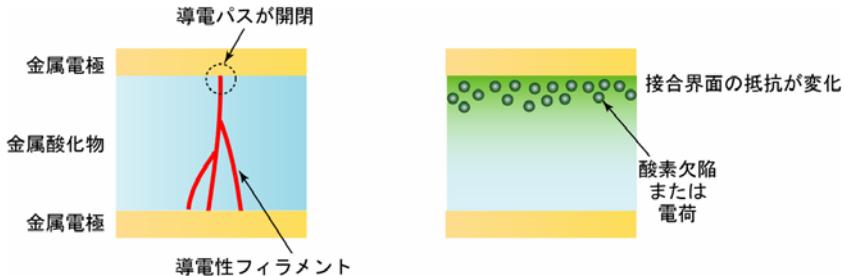


図 5-11 フィラメント型 (左) と界面型 (右) の動作機構の模式図

(1) ユニポーラ型動作特性

ユニポーラ型は、情報の書き込み・消去がセルに印加する電圧の極性によらず正負いずれの極性でも可能で、印加する電圧の大きさで抵抗状態を切り替える。ユニポーラ型の動作特性を示すセルでは、一般的にセルの作製後の初期状態は絶縁性の高い高抵抗状態である。図 5-12 に示すように、初期状態のセルに高電圧を印加するとフォーミングと呼ばれる電流の急激な増加があり、その後セルは低抵抗状態になる。低抵抗状態に電圧を印加すると低い電圧で低抵抗状態から高抵抗状態へと切り替わる (消去)。通常、高抵抗状態の抵抗値は初期状態よりも低い値である。高抵抗状態に電圧を印加すると、消去電圧よりも高い電圧で高抵抗状態から低抵抗状態へと切り替わる (書き込み)。通常、書き込み電圧はフォーミング電圧よりも低い値である。セルに記憶された情報は消去電圧よりも低い電圧を印加することで読み出す。

(2) バイポーラ型動作特性

バイポーラ型は、印加する電圧の極性により抵抗状態を切り替えて情報を書き込み・消去する。バイポーラ型のセルでは、抵抗状態 (電流値) が大きく変化する閾値電圧があり、セルに記憶された情報は閾値電圧よりも大幅に小さい電圧を印加することで読み出す。パルス電圧により書き込み・消去を行う場合には、ユニポーラ型とバイポーラ型によらず、電流-電圧測定でみられる書き込み・消去電圧よりも大きなパルス電圧が必要な場合が一般的である。

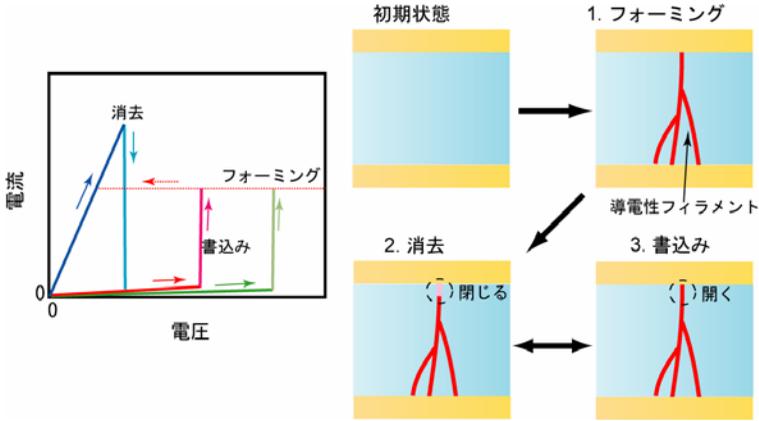


図 5-12 ユニポーラ型の電流－電圧特性とフィラメント型動作機構の模式図

(3) フィラメント型動作機構

フィラメント型の動作機構は、絶縁性の高い金属酸化物を抵抗変化材料に用いたセルで多く観測される機構であり、抵抗変化材料である金属酸化物内に導電性フィラメントが形成され、電圧印加により導電性フィラメントの一部が開閉することで抵抗変化現象が発現する。フィラメント型の機構では材料によってはバイポーラ型の動作特性を示す場合があるが、多くはユニポーラ型の動作特性を示し、図 5-12 に示すフォーミングは金属酸化物内に導電性フィラメントが形成するプロセスと考えられている。導電性フィラメントの開閉は金属電極近傍の一部で発現しており、ジュール熱や電気化学的效果による金属酸化物の酸化還元現象が開閉の理由と考えられている^{7,8)}。フィラメント型では、セルの抵抗値は素子面積に依存せずほぼ一定であることから、微細化による消費電力抑制の効果はほとんどない²⁾。

(4) 界面型動作機構

界面型は半導体的な金属酸化物を抵抗変化材料に用いたセルで多く観測される機構であり、金属電極との界面全体で抵抗変化が発現する。界面型の多くはバイポーラ型の動作特性を示し、抵抗変化の起源として空間電荷制限電流の効果、界面の電荷トラップ効果、電気化学的效果による酸素欠陥の移動、電子相転移などが提案されている。これらのモデルでは、界面近傍の電荷量に変化することで界面電子状態に何らかの変化が生じ、結果として界面抵抗が変化する。例えば、酸素欠陥の移動モデルでは印加する電圧の極性により正に帯電した酸素欠陥（または負の酸素イオン）が界面に引き寄せられたり、逆に引き離されたりすることにより界面近傍の酸素欠陥密度が変化し、それに伴う接合界面近傍の電子状態の変化が抵抗変化を誘起する^{6,9)}。界面型では、セルの抵抗値は素子面積にほぼ反比例して変化するが、書き込み・消去電圧は素子面積に依存しないため、微細化により消費電力は抑制できる¹⁰⁾。

5-2-2 ReRAM のセル構造と回路構成

ReRAM の回路構成は 1T1R と 1D1R (トランジスタ:T, ダイオード:D, 抵抗変化素子:R)

の二種類が提案されているが、高密度化には 1D1R のクロスポイント型メモリが適している。抵抗変化素子のみでクロスポイント型メモリを構成した場合、高抵抗状態のセルの読み出し、または書き込みを行おうとした際に、周辺の低抵抗状態セルを電流がバイパスしてしまうため、読み出し、書き込みエラーが発生する。そのようなエラーを回避するために、抵抗変化素子に意図しない逆向きの電流が流れるのを防ぐためのダイオードを直列に接続した 1D1R 回路が有効である。ダイオードには、金属酸化物の p, n 型半導体で構成した酸化物 p-n 接合を、抵抗変化材料の金属酸化物薄膜と連続成膜することで、抵抗変化素子とダイオードを一体化したセル構造の開発が進んでいる^{11, 12)}。さらに高密度化する方法として、クロスポイント型メモリを積層化した構造の開発が行われている¹²⁾。

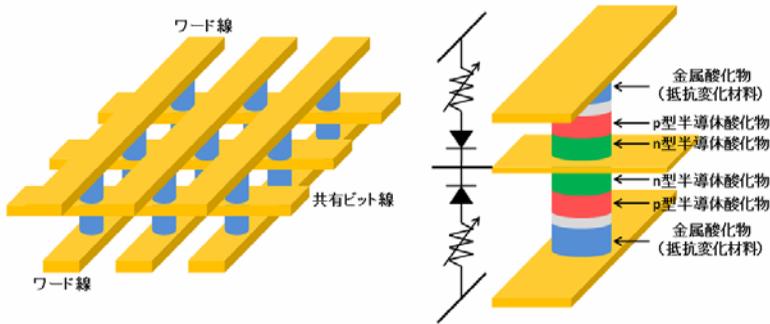


図 5-13 1D1R クロスポイント型メモリの回路とセル構造

■参考文献

- 1) W.W. Zhuang, W. Pan, B.D. Ulrich, J.J. Lee, L. Stecker, A. Burmaster, D.R. Evans, S.T. Hsu, M. Tajiri, A. Shimaoka, K. Inoue, T. Naka, N. Awaya, K. Sakiyama, Y. Wang, S.Q. Liu, N. J. Wu, and A. Ignatiev, Tech. Dig. Int. Electron Devices Meet., San Francisco, pp.193-196, 2002.
- 2) I.G. Baek, M.S. Lee, S. Seo, M.J. Lee, D.H. Seo, D.-S. Suh, J.C. Park, S.O. Park, H.S. Kim, I.K. Yoo, U.-In Chung, and J.T. Moon, Tech. Dig. Int. Electron Devices Meet., San Francisco, pp.587-590, 2004.
- 3) C. Yoshida, K. Tsunoda, H. Noshiro, and Y. Sugiyama, Appl. Phys. Lett., vol.91, p.223510, 2007.
- 4) 澤彰仁, 応用物理, vol.75, no.9, pp.1109-1114, 2006.
- 5) R. Waser and M. Aono, Nat. Mater., vol.6, pp.833-840, 2007.
- 6) A. Sawa, Mater. Today, vol.11, no.6, pp.28-36, 2008.
- 7) Z. Szot, W. Speier, G. Bihlmayer, and R. Waser, Nat. Mater., vol.5, pp.312-320, 2006.
- 8) K. Kinoshita, T. Tamura, M. Aoki, Y. Sugiyama, and H. Tanaka, Appl. Phys. Lett., vol.89, p.103509, 2006.
- 9) S. Tsui, A. Baikalov, J. Cmaidlka, Y.Y. Sun, Y.Q. Wang, Y.Y. Xue, C.W. Chu, L. Chen, and J. Jacobson, Appl. Phys. Lett., vol.85, pp.317-319, 2004.
- 10) H. Sim, H. Choi, D. Lee, M. Chang, D. Choi, Y. Son, E.H. Lee, W. Kim, Y. Park, I.K. Yoo, and H. Hwang, Tech. Dig. Int. Electron Devices Meet., Washington, D.C., p.758-761, 2005.
- 11) I.G. Baek, D.C. Kim, M.J. Lee, H.-J. Kim, E.K. Yim, M.S. Lee, J.E. Lee, S.E. Ahn, S. Seo, J.H. Lee, J.C. Park, Y.K. Cha, S.O. Park, H.S. Kim, I.K. Yoo, U.-In Chung, J.T. Moon, and B.I. Ryu, Tech. Dig. Int. Electron Devices Meet., Washington, D.C., pp.750-753, 2005.
- 12) M.J. Lee, Y. Park, B.-S. Kang, S.-E. Ahn, C. Lee, K. Kim, W. Xianyu, G. Stefanovich, J.H. Lee, S.J. Chung, Y.H. Kim, C.S. Lee, J.B. Park, I.G. Baek, and I.K. Yoo, Tech. Dig. Int. Electron Devices Meet., Washington, D.C., pp.771-774, 2007.