

## ■10 群 (集積回路) - 6 編 (アナログ LSI)

# 1 章 基本アナログ回路

(執筆者：森江隆史) [2009 年 7 月 受領]

### ■概要■

本章では、アナログ LSI 技術の基礎となる基本的なアナログ回路について概説する。これらは、2 章以降で解説されるより複雑なオペアンプ、フィルタ、A/D、D/A 変換器を構成する基本的な要素回路である。紹介する回路は簡単で機能も単純である。しかし、より複雑で大規模なアナログ回路も、これらの基本回路を組み合わせることで実現されたものである。このため、その構成や機能を理解することはアナログ LSI を理解するうえでまさしく基本となる。

### 【本章の構成】

本章の内容の一部は、10 群「基本構成と設計技術」7 章 7-1 及び 7 章 7-2 と重複している。重複内容は 1 編を参照いただくこととし、本章の単独の項目について以下の構成で説明する。

- 1-1 カレントミラー回路 (10 群「基本構成と設計技術」7 章 7-1 を参照)
- 1-2 バイアス回路 (10 群「基本構成と設計技術」7 章 7-1 を参照)
- 1-3 バンドギャップレファレンス回路
- 1-4 差動増幅回路 (10 群「基本構成と設計技術」7 章 7-2 を参照)
- 1-5 スイッチ回路, ゲート電圧ブースト回路
- 1-6 スイッチトキャパシタ回路
- 1-7 サンプルホールド回路

## ■10 群-6 編-1 章

---

### 1-1 カレントミラー回路

※10 群 1 編「基本構成と設計技術」7 章 7-1 参照.

## ■10 群-6 編-1 章

---

### 1-2 バイアス回路

※10 群 1 編「基本構成と設計技術」7 章 7-1 参照.

■10 群-6 編-1 章

1-3 バンドギャップレファレンス回路

(執筆著者：森江隆史) [2009年7月 受領]

バンドギャップレファレンス回路は、温度や電源電圧に依存せずに常に一定の基準電圧を出力する回路である。本回路の主な用途は、A/D、D/A 変換器のレファレンス電圧やオペアンプなどのバイアス電流の生成、レギュレータ用の基準電圧生成など多岐にわたる。

バンドギャップレファレンス回路のポイントは、温度依存性のない電圧をいかに集積回路内に作り出すかである。現在主流の方式は、ダイオードまたはダイオード接続のバイポーラ素子が持つ負の温度特性と、PTAT (Proportional to Absolute Temperature; 絶対温度比例) 電圧が持つ正の温度特性を足し合わせて、フラットな温度特性を実現するものである (図 3・1)。

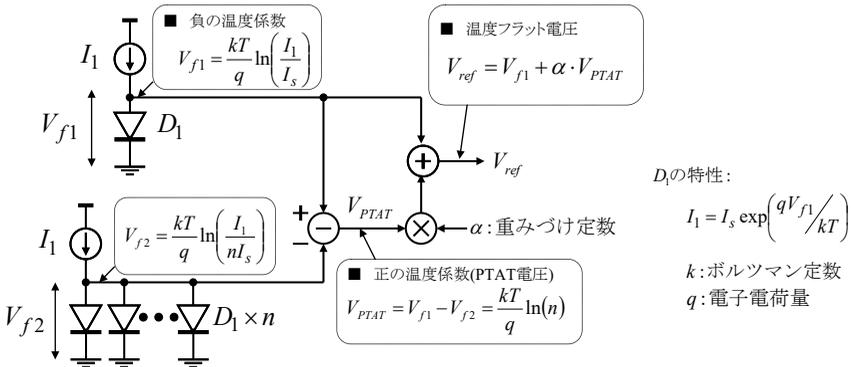


図 3・1 バンドギャップレファレンスの構成

負の温度特性は、PN 接合ダイオードの電圧の順方向電圧によって得られ、これは常温で  $-2 \text{ mV}/^\circ\text{C}$  程度の温度係数を持つ<sup>1)</sup>。また、正の温度特性は、2つの電流密度の異なる PN 接合ダイオード間電圧の差によって得られる PTAT 電圧を用いる。これら2つの電圧を温度依存性がキャンセルするように重みづけをして足し合わせることで、温度に依存しない一定電圧を生成することができる。実現回路例を図 3・2 に示す<sup>2)</sup>。なお、PN 接合ダイオードは、CMOS プロセスでも N ウェルと P<sup>+</sup> 拡散などにより実現することができる (図 3・3)<sup>3)</sup>。

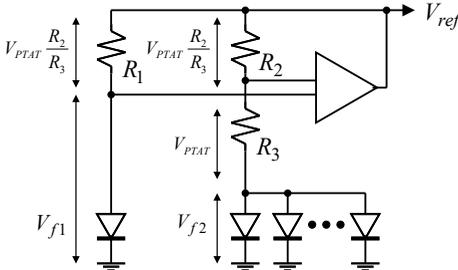


図 3・2 バンドギャップレファレンス回路例

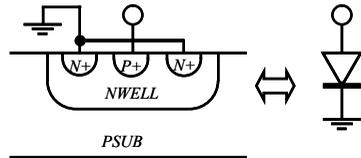


図 3・3 CMOS プロセスでのダイオード実現例

上記回路は低電圧化に課題がある．正と負の温度勾配の電圧を足し合わせるために，出力電圧が 1.25 V 付近になるためである．この問題を解決するために，電流加算方式や抵抗分圧方式<sup>3),4)</sup>などの技術が提案され，1 V 以下で動作する回路が実現されている．

## ■10 群-6 編-1 章

---

### 1-4 差動増幅回路

※10 群 1 編「基本構成と設計技術」7 章 7-2 参照.

## ■10 群-6 編-1 章

### 1-5 スイッチ回路, ゲート電圧ブースト回路

(執筆者: 森江隆史) [2009年7月 受領]

スイッチ回路は, 信号の伝搬を ON/OFF する回路で, 用途は多数あるが, 特に, A/D 変換器のサンプルホールド回路やスイッチトキャパシタ回路にとって重要な要素回路である。

CMOS プロセスでは, スイッチをトランジスタ 1~2 個で構成でき, これが CMOS アナログ回路の利点の一つとなっている。CMOS スイッチの構成例を図 5・1 に示す。NMOS スイッチ同図(a)は, ゲート電圧が High で ON する。ただし, ゲート電圧が High でも  $V_{gs} < V_{th}$  の条件では ON しないため信号電圧が低い場合にのみ使用できる。ON 抵抗 ( $R_{on}$ ) は,  $R_{on} = 1/(\beta(V_g - V_s - V_{th}))$  で与えられ, 信号電圧  $V_s$  に依存するため, 信号歪みにケアした設計が必要である。PMOS スイッチの場合は逆特性となる (同図(b))。CMOS スイッチ (同図(c)) は, NMOS/PMOS スイッチを並列接続するため広範囲の信号電圧でスイッチとして動作する。ただし, ON 抵抗の信号電圧依存性が依然として残るため歪みのケアが必要だし, NMOS/PMOS スイッチの動作タイミングずれも歪み要因<sup>2)</sup>となる。

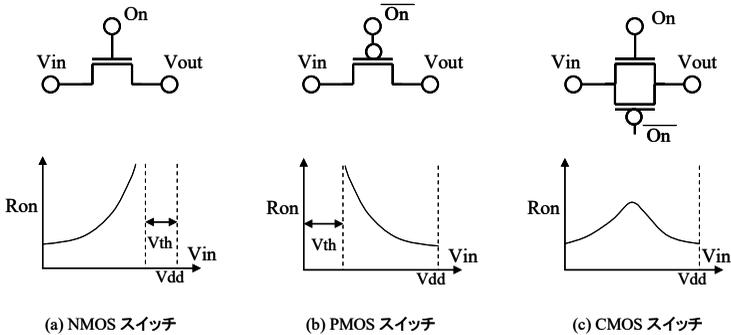


図 5・1 CMOS スイッチ回路

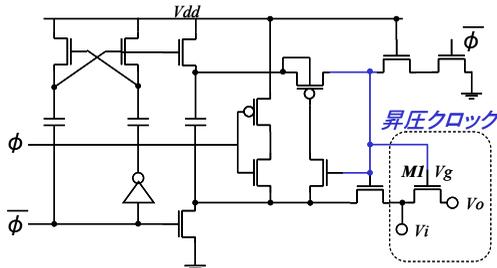


図 5・2 ブートストラップスイッチ回路

低電源電圧では,  $V_{dd}/2$  付近で CMOS スイッチでも ON しにくくなり, 高 ON 抵抗や歪みが課題となる。このため, スイッチ ON 時に電源電圧より高いゲート電圧を印加するゲート電圧

ブースト回路が提案されている。代表例を図 5・2, 図 5・3<sup>5)</sup> に示す。図 5・2 では、スイッチ  $M_{11}$  のゲート電圧  $V_g$  を ON 時に  $V_{gs} = V_g - V_i$  が一定電圧になるように昇圧 (図 5・3) することで、低抵抗化と低歪み特性を実現している。

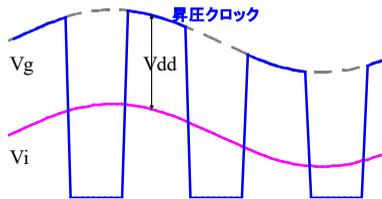


図 5・3 ブーストクロック

なお、ON 抵抗以外のスイッチの誤差要因には、チャージインジェクション、クロックフィードスルー、ON/OFF 制御のタイミングなどがある。これについてはサンプルホールド回路の節で説明する。また、CMOS スイッチについて説明したが、バイポーラプロセスではダイオードブリッジ<sup>6),7)</sup> など、別のスイッチ構成法がある。

## ■10 群-6 編-1 章

### 1-6 スイッチトキャパシタ回路

(執筆著者：森江隆史) [2009年7月 受領]

スイッチトキャパシタ回路は、クロックに同期してスイッチを ON/OFF して容量の電荷を転送、演算する CMOS ならではのアナログ離散時間信号処理回路である。用途はフィルタ、A/D 変換器など多岐にわたるが、特に、スイッチトキャパシタフィルタは、従来の RC フィルタに比べて桁違いに高精度なフィルタを集積回路化できる技術として広く使用されている。

スイッチトキャパシタ回路は、容量、スイッチとノンオーバーラップクロックから構成される。図 6・1 に基本回路とこれを駆動する 2 相ノンオーバーラップクロックを示す。スイッチ  $Sw_1$  と  $Sw_2$  は互いに逆相で動作し、1 クロックごとに  $V_1$  側から  $V_2$  側へ電荷転送する。転送する電荷は同図右の抵抗と同じであるため、クロック周波数  $f_{clk}$  よりも十分低い帯域ではスイッチトキャパシタは抵抗と等価とみなせる。 $Sw_1$  と  $Sw_2$  が同時に ON するのを防ぐためノンオーバーラップクロックが使用される。クロック生成回路の例を図 6・2 に示す<sup>1)</sup>。

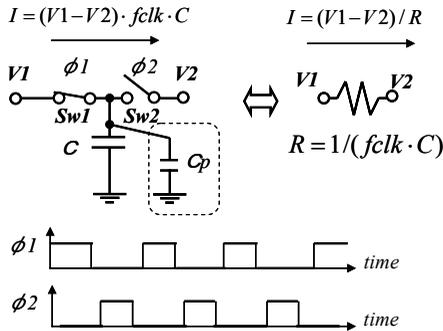


図 6・1 基本的なスイッチトキャパシタ回路

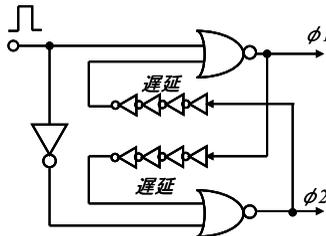


図 6・2 ノンオーバーラップクロック生成回路

図 6・1 の回路は、容量  $C$  に付く寄生容量  $C_p$  が誤差要因となり、精度の良い電荷転送ができない。これを防ぐため、図 6・3 のような寄生容量に不感な回路がよく用いられる<sup>1)</sup>。本図では、説明のために後段にオペアンプと容量を接続して全体で積分器を構成している。スイッチ制御を変更することで、スイッチトキャパシタの極性を変更して正相積分器(a)と逆相積分

器(b)が構成できる。どちらの場合も、容量の片端に付く寄生容量  $C_{p1}$  の充放電電流は積分器容量  $C_2$  に流れ込まないため、誤差とはならない。また、もう片端の寄生容量  $C_{p2}$  は、オペアンプの仮想接地特性によって、オペアンプに接続する・しないにかかわらず端子電圧がアナロググランド電位にバイアスされるため、誤差要因として寄与しない。

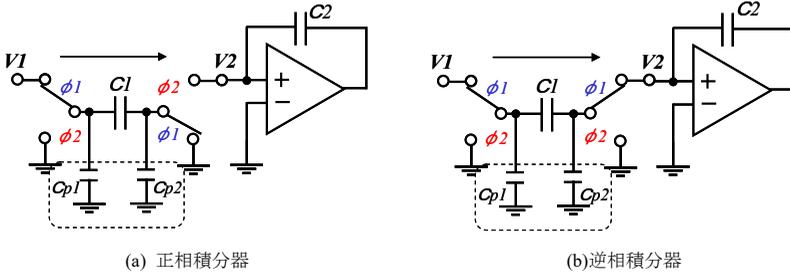


図 6・3 寄生容量に不感なスイッチトキャパシタ (積分器構成)

## ■10 群-6 編-1 章

### 1-7 サンプルホールド回路

(執筆著者：森江隆史) [2009年7月 受領]

サンプルホールド回路は、A/D変換器の入力段の回路として広く使用されている。図7・1にNMOSスイッチを使用した回路例を示す。回路はClkがHighのときは入力信号を出力するが、ClkがLowに立ち下がった瞬間にスイッチを切って入力電圧を容量Cに保持し、出力する。

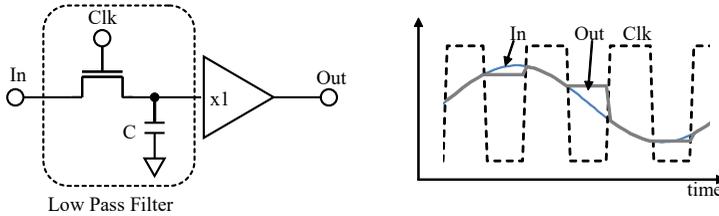


図7・1 サンプルホールド回路

サンプルホールド回路を設計する際には、下記の課題が問題となる。

- ① スwitchのON抵抗の信号電圧依存性による歪み
- ② チャージインжекションやクロックフィードスルーによる誤差電荷混入。
- ③ サンプリングクロックジッタによるS/N劣化
- ④ その他、入出力間カップリングやリーク電流による電荷が漏れ

①は、図7・1のスイッチと容量で構成されるローパスフィルタの特性が、スイッチの信号電圧に依存する非線形なON抵抗のために歪むことが原因である。入力信号の周波数が速いほど問題となる。これを抑えるために、ゲート電圧ブースト付きのスイッチでON抵抗を下げたり<sup>8)9)</sup>、スイッチにかかる電圧を一定にしてON抵抗の非線形性を軽減する回路<sup>9)</sup>がなされる。

②は、スイッチがOFFする際に寄生容量(図7・2)を介してクロック信号がサンプリング容量に蓄積する現象である。クロックフィードスルーは、ゲートとドレイン/ソースのオーバー

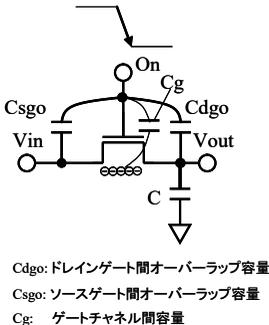


図7・2 スwitchの寄生容量

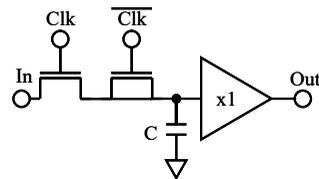


図7・3 ダミースwitchによるフィードスルー抑制

ラップ容量を介して生じる電荷注入現象で、サンプリング電圧の一定のオフセットという形で表れる。一方、ゲートチャネル間容量を介して生じるチャージインジェクションは、注入誤差電荷がスイッチトランジスタの閾値電圧や入力信号電位に依存するため、非線形歪みとなる。これらの対策として図 7・3 のようなダミースイッチを用いる [refMcCrear] 使われる場合もある<sup>1)2)</sup>。ダミースイッチはおおよそスイッチの半部のサイズにし、ON/OFF を若干遅らせることでクロックフィードスルーをキャンセルできる。ただし、チャージインジェクションは、注入電荷の 1/2 がサンプリング容量に流れ込むとは限らないため、完全なキャンセルは難しい。他にも電荷キャンセルは多数の方法が提案されている<sup>3)</sup>。

③は高精度、高速入力 of A/D 変換器ほど課題となり、文献 10), 11) などで解説されている。

#### ■参考文献

- 1) D.A. Johns and K. Martin : “Analog Integrated Circuit Design,” John Wiley & Sons, Inc, 1997.
- 2) B. Razavi : “アナログ CMOS 集積回路の設計 応用編,” 丸善株式会社, 2001.
- 3) H. Banba, H. Shiga, A. Umezawa, T. Miyaba, T. Tanzawa, S. Satsumi, and K. Sakui : “A CMOS bandgap reference circuit with sub-1-V operation,” IEEE J.Solid-State Circuits, vol.34, pp.670-674, May 1999.
- 4) K. Nang, Leung, Philip. K.T. Mok : “A Sub-1-V 15-ppm/°C CMOS Bandgap Voltage Reference Without Requiring Low Threshold Voltage Device” , IEEE J. Solid-State Circuits, vol.37, pp.526-530, Apr. 2002.
- 5) A.M. Abo and P.R. Gray : “A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter,” IEEE Journal of Solid-State Circuits, vol.34, no.5, pp.599-606, May 1999.
- 6) G. Erdi and P.R. Henneuse : “A Precision FET-Less Sample-and-Hold with High Charge-to-Droop Current Ratio,” IEEE Journal of Solid-State Circuits, vol.13, no.6, pp.864-873, 1978.
- 7) A. Matsuzawa, et al. : “A 10-b 30-MHz Two-Step Parallel BiCMOS ADC with Internal S/H,” IEEE Int. Solid-State Circuits Conf., pp.162-163, Feb. 1990.
- 8) K.R. Stafford, et al. : “A Complete Monolithic Sample/Hold Amplifier,” IEEE Journal of Solid-State Circuits, vol.9, no.6, pp.381-387, 1974.
- 9) P. Lim and B. Wooley : “A High-Speed Sample-and-Hold Technique Using a Miller Hold Capacitance,” IEEE Journal of Solid-State Circuits, vol.26, no.4, pp.643-651, 1991.
- 10) M. Shinagawa, et al. : “Jitter analysis of High-Speed Sampling Systems,” IEEE Journal of Solid-State Circuits, vol.25, no.1, pp.220-224, Feb. 1990.
- 11) N.D. Dalt, et al. : “On the Jitter Requirements of the Sampling Clock for Analog-to-Digital Converters,” IEEE Transactions on circuits and systems?I: Fundamental Theory and applications, vol.49, no.9, pp.1354-1360, Sep. 2002.