

■10 群 (集積回路) - 6 編 (アナログ LSI)

2 章 増幅回路

(執筆者：宮原正也) [2009 年 9 月 受領]

■概要■

増幅回路は入力信号のエネルギーを増幅して出力することを目的とした回路である。信号増幅分及び増幅回路の動作エネルギーは電源など外部から供給される。集積回路における増幅回路の入力は主として「電圧」または「電流」信号である。入力と出力の信号成分が同様の場合は、それぞれの用途に合わせて「電圧増幅回路」「電流増幅回路」などと呼ぶ。これに対し、入力信号が電流信号で、出力が電圧信号である増幅回路を「トランスインピーダンス増幅回路」とよぶ。また、比較回路についても微小な信号を非常に大きな利得を持って増幅しているとみれば、増幅回路の一種として考えられる。本章ではこれら増幅回路について説明を行う。

【本章の構成】

本章では、バイポーラを用いた演算増幅器 (2-1 節)、CMOS を用いた演算増幅器 (2-2 節)、コモンモードフィードバック (2-3 節)、ゲインブースト回路 (2-4 節)、チョッパー増幅器 (2-5 節)、トランスインピーダンス増幅回路 (2-6 節)、チョッパー型比較回路 (2-7 節)、ダイナミック型比較回路 (2-8 節) に関してその技術的特徴と基礎理論に関して解説する。

■10 群-6 編-2 章

2-1 バイポーラを用いた演算増幅器

(執筆著者：宮原正也) [2009年9月 受領]

理想的な演算増幅器では入力抵抗が無限大、出力抵抗が零、差動電圧利得が無限大、同相電圧利得が零、入出力振幅範囲が無限大、周波数帯域が無限大、入出力信号の位相が零、入力オフセット及び雑音が零という特徴をもつ。これまで汎用の演算増幅回路では様々なアプリケーションに対応するために、これら全ての性能について理想特性に近付ける努力がなされてきた。しかし、これらの性能は互いにトレードオフの関係にあり、汎用化には数々の性能の犠牲（例えば位相特性を満足するために速度を犠牲にするなど）を伴う。これに対し、近年の集積回路内の演算増幅器ではそれぞれの性能がどの程度であればアプリケーションの仕様に対して満足できるかを見極めながら設計が行われる。このため、用途によっては一部の性能が理想的な演算増幅器の性能から大きく外れたものもある。実設計においては、アプリケーションに対して十分高いといえる直流利得を安定に得ることが第一の目標となることが多い。

図 2・1 にバイポーラを用いた演算増幅器の基本構成を示す。回路構成は差動入力増幅段、増幅段及び出力段の三つに大別される。

・差動入力増幅段

Q_1, Q_2 が差動入力回路を構成し、入力電圧 V_{in+}, V_{in-} をそれぞれのトランジスタのトランスコンダクタンスに従って電流 I_+, I_- に変換する。 Q_3, Q_4 はカレントミラー回路を構成し単一出力への変換を行っており、 V_{x1} のノードインピーダンスを Z_{x1} とすると $V_{x1} = Z_{x1}(I_+ - I_-)$ が得られる。

・増幅段

差動入力増幅段により単一出力とされた信号は Q_5 の能動負荷エミッタ接地増幅段により増幅される。更に高利得を得たい場合には、ダーリントン接続がよく用いられる。容量 C_C は位相補償用のコンデンサであり、ミラー効果を利用して等価的に大容量を実現している。この回路のスルーレート及び周波数特性はほぼ C_C で決定されるため、安定性を考慮しながら適切な値を選ぶ必要がある。

・出力段

Q_6 は単純なエミッタフォロワを構成し、出力インピーダンスを低下させる役割を果たしている。高負荷を駆動するためには十分に大きな電流を流す必要があるが、この構成では無信号時にもバイアス電流 I_{B3} が流れるために電力効率が極めて悪い。そのため出力段には電力効率を改善した AB 級動作の出力段が用いられることが多い。

バイポーラを用いたオペアンプには次節で述べる CMOS を用いた演算増幅器と比較して以下の特徴がある。

- ・バイポーラは本質的に電流制御電流源であるため、必ず演算増幅器の入力（ベース）に電流が流れる。このため高入力インピーダンスが求められる場合には適さない。
- ・CMOS と比較して高耐圧化が容易。高い電源電圧での動作が可能で幅広いアプリケーションに対応しやすい。しかしながらデバイスのしきい値電圧は約 0.6V で固定のため、低電源電圧動作は難しい面がある。
- ・CMOS デバイスと比較してマッチング特性が優れ、低オフセット電圧を実現しやすい。

- ・ CMOS デバイスと比較してデバイス単体の雑音特性は優れているため、低雑音が求められるアプリケーションに適している。

以上より使用するアプリケーションにしたがって適宜使い分けを行う必要がある。

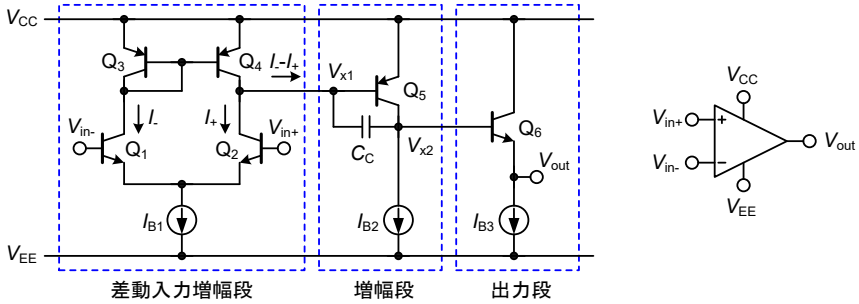


図 2・1 バイポーラを用いた演算増幅器の基本構成

■10 群-6 編-2 章

2-2 CMOS を用いた演算増幅器

(執筆者：宮原正也) [2009年9月 受領]

CMOS を用いた演算増幅器は前節で述べたバイポーラを用いた演算増幅器と比較して一般的に以下に示す特徴がある²⁾。

- CMOS は電圧制御電流源とみなすことができ、演算増幅器の入力（ゲート）にほとんど電流が流れない（fA～pA 程度）。このため高入力インピーダンスが求められる場合に適している。このことは CMOS スイッチと組み合わせるとスイッチトキャパシタ回路を形成する上で極めて重要な要素である。
- CMOS はテクノロジースケーリングにしたがってしきい値電圧を下げていくため、バイポーラと比較して低電圧動作に適しやすい。しかしながら、高耐圧化は困難である。
- バイポーラデバイスと比較してマッチング特性の面で劣る。
- バイポーラデバイスと比較してデバイス単体の雑音特性が劣る。

CMOS を用いた演算増幅器はバイポーラを用いた演算増幅器と比較して単体性能は劣るが、

- アナログ回路を大規模デジタル回路と混載することができる
- スイッチトキャパシタ回路を用いた離散時間信号処理が可能である。

の2点のメリットにより、使用範囲及び重要性を増している。

テクノロジースケーリングにより利得帯域幅積は向上しているが、電源電圧の低下及び CMOS の固有利得の低下に伴い高利得を得ることが難しくなっている。図 2・2 に CMOS を用いた演算増幅器の代表的な基本構成を示す。演算増幅器の利得を高くするために、全ての構成においてカスコード構成を用いている。更に利得が必要な場合は、2・4 節にてノベルゲインブースト回路を使用する。以下にそれぞれの構成について簡単にまとめる。

• 電圧利得

2 段構成が段数を重ねている分利得がプラスされ一番高い。テレスコピックとフォールデッドカスコード型では同程度である。

• 帯域

最大の帯域は演算増幅器が安定動作できる限界で与えられ、それぞれの演算増幅器の第 2 ポールより決まる。テレスコピック型及びフォールデッドカスコード型は信号パスのカスコード段のソースのノードで形成されるポールで与えられる。フォールデッドカスコード型の方がこのノードに付く寄生容量が大きくなるため不利である。2 段構成ではそれぞれの段の増幅段で位相が回るため一般的に位相補償用の容量が必要になり、ほかの型式に比べ劣る。

• 出力振幅

高利得の演算増幅器を構成する場合、それぞれのトランジスタは飽和領域で動作する必要があるため、 $V_{ds} > V_{gs} - V_{th} (= V_{eff})$ が成り立っていないと行かない。そのためオペアンプの出力振幅は、 V_{DD} - 出力パスに含まれるトランジスタ数 $\times V_{eff}$ により決まる。それぞれのトランジスタの V_{eff} が一定とした場合はトランジスタ数で出力振幅は決まり、テレスコピックはトランジスタ数 5 個、フォールデッド型は 4 個、2 段型は 2 個となっており、2 段型が一番優れている。

・消費電力

消費電力は演算増幅器に必要なバイアス電流でほとんど決まる。入力トランジスタのトランスコンダクタンス及びスルーレートを一定にすると、VDD-GND 間の電流パスにそれぞれ同じ電流を流すことになる。テレスコピック型は電流パスが 2、フォールデット型、2 段型は 4 となっている。このため消費電力はテレスコピック型が一番優れている。フォールデット型、2 段型はそれぞれ電流パスの数は同じであるが、2 段型では位相補償容量の兼ね合いで消費電力は増加する可能性がある。以上大まかな特徴をまとめると表 2・1 のようになる。設計者はそれぞれの長短所を熟慮し、アプリケーションに見合った構成を選択する必要がある。

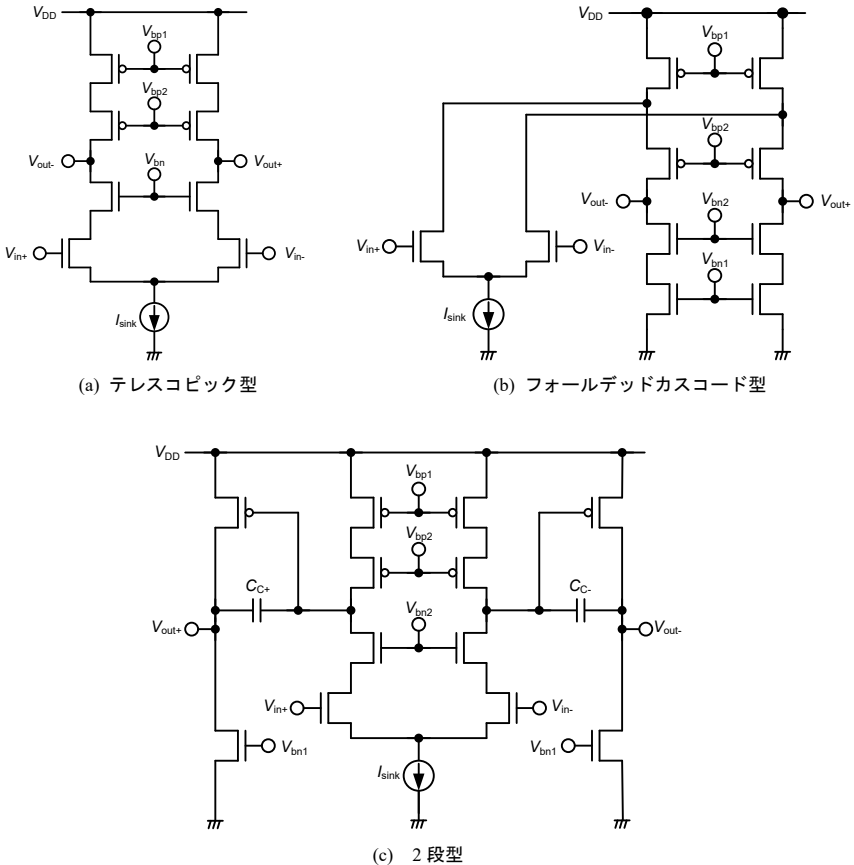


図 2・2 CMOS を用いた演算増幅器の基本構成

表 2・1 代表的なオペアンプの性能比較

演算増幅器型式	利得	帯域	出力振幅	消費電力
(a) テレスコピック	中	高	低	低
(b) フォールデッドカスコード	中	中	中	中
(c) 2 段構成	高	低	高	中

■10 群-6 編-2 章

2-3 コモンモードフィードバック

(執筆著者：宮原正也) [2009年9月 受領]

コモンモードフィードバック (CMFB) は高利得の完全差動回路, 特に完全差動演算増幅器に必要となる技術である^{2,3)}. CMFB の必要性を理解するために, 図 2・3(a)の完全差動演算増幅器について考察する.

図に示したカスコード一段構成の演算増幅器において適切にバイアス電圧が与えられ, 出力コモン電圧 V_{CM} が適切に設定された場合には, テクノロジーにより異なるものの差動利得 (G_{diff}) として数百~数千倍程度と高い利得が得られる. このとき, 演算増幅器のバイアス電流を決定している V_{bn1} から, コモン電圧 V_{CM} の利得 (G_{CM}) も同程度の値をとる. ここで G_{CM} が 1000 倍あったと仮定すると, V_{bn1} がわずかに 1 mV 変わるだけで V_{CM} は 1 V も変動してしまう. 図中に示すように, V_{CM} が不適切に設定された場合には出力信号が飽和するなどの問題を引き起こすため, 何かしらの方法を用いて V_{CM} が安定に定まるようにしなければならない.

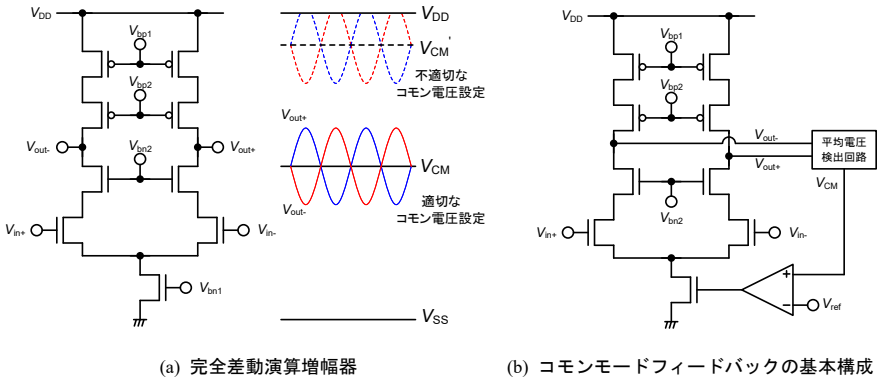


図 2・3 コモンモードフィードバックの基本構成

この問題に対して, 図 2・3(b)のようにコモン電圧 V_{CM} を検出し, V_{CM} が所望のコモン電圧 V_{ref} に定まるようにフィードバックをかける構成とする. このことを CMFB と呼び, それを実現する回路を CMFB 回路と呼ぶ. CMFB 回路を設計する上で必要な要素として,

- ・演算増幅器の出力抵抗になるべく影響を与えずに平均電圧を検出すること
- ・平均電圧検出精度が演算増幅器の出力信号振幅によらないこと
- ・任意のコモン電圧を設定できること
- ・PVT 変動に対して強い耐性をもつこと

があげられる. コモン電圧を精度よく設定するためには CMFB の直流ループ利得が高いことが求められる. 高利得の演算増幅器の場合, それ自身の利得によってループ利得を高く保つこ

とが可能であり、平均電圧検出回路が精度を決定する主要因となることが多い。平均電圧を検出する主だった手法として、図 2・4 に示す抵抗検出型²⁾、MOS トランジスタ検出型²⁾、容量検出型⁴⁾がある。

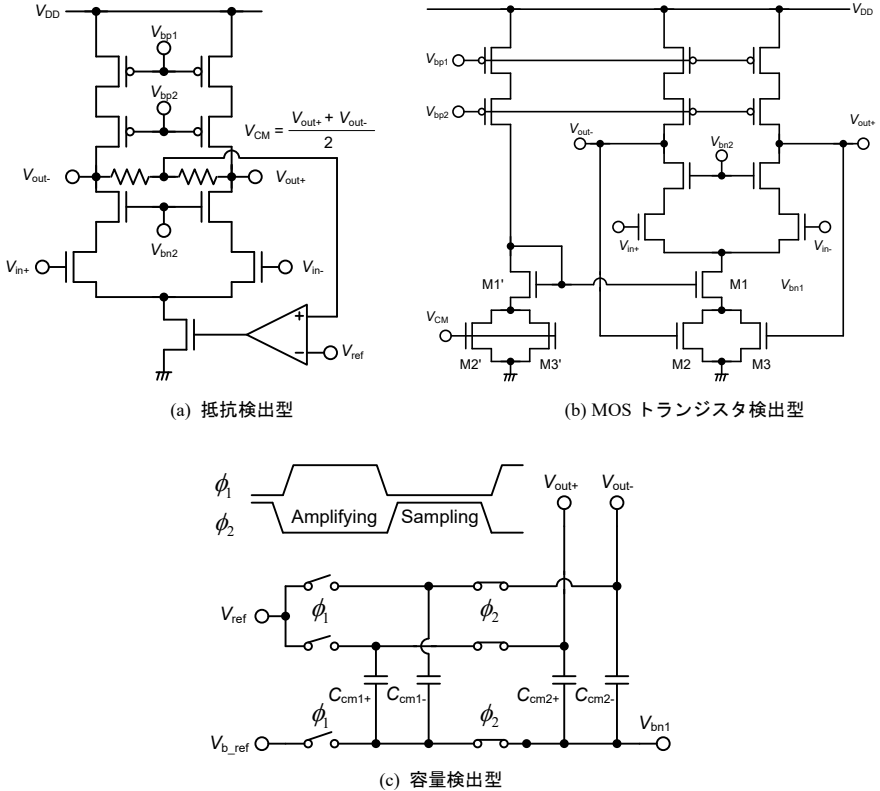


図 2・4 コモンモードフィードバック回路の一例

抵抗型は構成が単純でロバスト性が高いものの、演算増幅器の出力抵抗を下げってしまうという欠点がある。出力抵抗よりも十分に大きな抵抗（数 M Ω オーダー）を実現しようとすると抵抗の面積が増加するとともに、寄生容量が増加することにより周波数特性が劣化してしまう。

MOS トランジスタ型は線形領域で動作するトランジスタ M2, M3 でコモン電圧を検出している。線形領域で動作するトランジスタは可変抵抗とみなすことができ、電流源を構成しているトランジスタ M1 のソースにこの抵抗を接続することでフィードバック動作を行っている。M1', M2', M3'はそれぞれ M1, M2, M3 と同様な W/L 対 I_{ds} 比で構成し、M2', M3'のゲート電圧と M2, M3 のゲート電圧が等しくなるようにフィードバック動作をかけて任意のコモン電圧を設定できるようにしている。この構成をとることで、抵抗型で問題であった出力抵抗の劣化を抑

えることができる。しかしながら、出力信号振幅が M2, M3 のしきい値電圧を下回るような場合には CMFB 動作が不安定になるためダイナミックレンジの面で不利なこと、コモン電圧の設定精度がトランジスタのしきい値ばらつきの影響を直接受けるなどの問題点がある。

容量検出型はスイッチトキャパシタ技術を用いた方法であり、離散時間信号処理を行う回路でよく用いられる。 C_{cm2+} , C_{cm2-} はそれぞれの差動出力端及び電流源を形成するトランジスタのゲートに接続され、平均電圧検出とフィードバックを同時に行う。 C_{cm2+} , C_{cm2-} の差電圧は C_{cm1+} , C_{cm-} からの電荷転送によりコントロールされ、任意のコモン電圧に設定することが可能となっている。

このタイプの CMFB を用いる利点は、

- ・容量を検出回路として用いるので、DC 利得の劣化がない
- ・スイッチが動作する範囲であればダイナミックレンジの制限もない
- ・PVT 変動に対する耐性も強く、正確にコモン電圧を制御できる

欠点としては、

- ・クロック動作が必要で連続動作には不向きである
- ・容量面積が大きく、演算増幅器の負荷容量となるために速度が劣化する

などがある。

■10 群-6 編-2 章

2-4 ゲインブースト回路

(執筆者：宮原正也) [2009年9月 受領]

ゲインブースト回路とは、増幅器の利得（ゲイン）を増強（ブースト）する回路を指す。

演算増幅器において高利得であることは大変重要な要素であるが、CMOS のテクノロジースケーリングに伴い MOS トランジスタの固有利得は徐々に低下する傾向にあり高利得の実現は困難である。バイアス条件にもよるが、最小チャネル長が $0.1 \mu\text{m}$ を下回るような微細な MOS トランジスタでは固有利得が 20 dB を下回る場合もある。仮に MOS トランジスタの固有利得が 20 dB であったとすると、一段のカスコード構成をとった場合でもゲインは 40 dB 程度にしかならない。更なる利得を得るためにカスコード構成を 2 段以上とする手法も考えられるが、微細なテクノロジーでは電源電圧も低下しているため、ダイナミックレンジの観点から得策とはいえない。かといって増幅器を多段に縦続接続する手法は数多くの極及び零点が生じるため位相補償が複雑となり、広帯域な増幅器の実現は困難である。

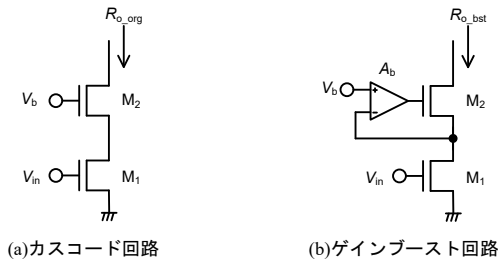


図 2・5 ゲインブースト回路の基本構成

これらの問題を解決しながら利得を増強する手法として、ゲインブースト回路がある⁵⁾。ゲインブースト回路は通常のカスコード回路にゲインブーストアンプを追加した構成をしている。通常のカスコード回路とゲインブースト回路を図 2・5 に示す。図 2・5 (a)カスコード回路はアンプの出力抵抗を増加する役割を果たしており、 M_1 及び M_2 のドレイン - ソース間抵抗を r_{ds1} 、 r_{ds2} 、 M_2 のトランスコンダクタンスを g_{m2} とすると、出力抵抗 R_{o_org} は

$$R_{o_org} \approx g_{m2} r_{ds1} r_{ds2}$$

と表される。

一方図 2・5 (b)ゲインブースト回路では通常のカスコード回路に対してさらにブーストアンプの利得倍出力抵抗が増加した効果が得られる。出力抵抗 R_{o_bst} はゲインブーストアンプのゲインを A_b とすると、

$$R_{o_bst} \approx A_b g_{m2} r_{ds1} r_{ds2} = A_b R_{o_org}$$

と表される。

この手法の大きな利点は、新たなカスコード段の追加せずに（つまりは出力信号振幅の制約を悪化させずに）利得を増強できることと、出力抵抗を増しているだけなので利得帯域幅積にはほとんど影響を与えず、1 段のアンプと同様な周波数特性とみなすことができるため位相補償が容易である点にある。ただし周波数特性については厳密に言うと、ゲインブーストアンプの利得は周波数に依存するため、出力抵抗 R_{o_bst} も同様に周波数依存性をもつようになる。これにより **pole-zero doublet** が発生してセットリング特性に影響を及ぼす可能性があるのでゲインブーストアンプの設計は慎重に行う必要がある⁶⁾。

■10 群-6 編-2 章

2-5 チョッパー増幅器

(執筆者：宮原正也) [2009年9月 受領]

チョッパー増幅器とはチョッパー回路により直流 - 交流変換を行い、センサーなどからの微弱な直流及び低周波数帯の信号を増幅することを目的とした増幅器である⁷⁾。

チョッパー方式の基本的な回路構成及び周波数特性について図2・6に示す⁷⁾。通常の演算増幅器では、オフセット電圧、温度ドリフト、 $1/f$ ノイズが大きく、微弱な直流信号はこれらのノイズ成分に埋もれてしまうためそのままでは使用できない。そこで図2・6(a)のような微弱な信号に対して、チョッパー回路により周波数変換を施す。チョッパー回路はスイッチ回路で構成されており、入力信号の正負をクロック周波数 f_c で切り替える。この動作により入力信号は周波数 f_c 近傍に周波数変換される。クロック周波数 f_c を適切に設定すれば、図2・6(b)のように十分に雑音レベルが低い周波数帯にて信号成分を増幅することができる。増幅器により増幅した後、再びチョッパー回路により周波数変換を行うと、入力信号はもとの周波数帯に、オペアンプの低周波雑音は周波数 f_c 近傍に周波数変換される。最後に、図2・6(c)のように低域通過フィルタ(LPF)により高域の不要な信号成分を除去することにより、増幅された信号成分のみを抽出することが可能となる。

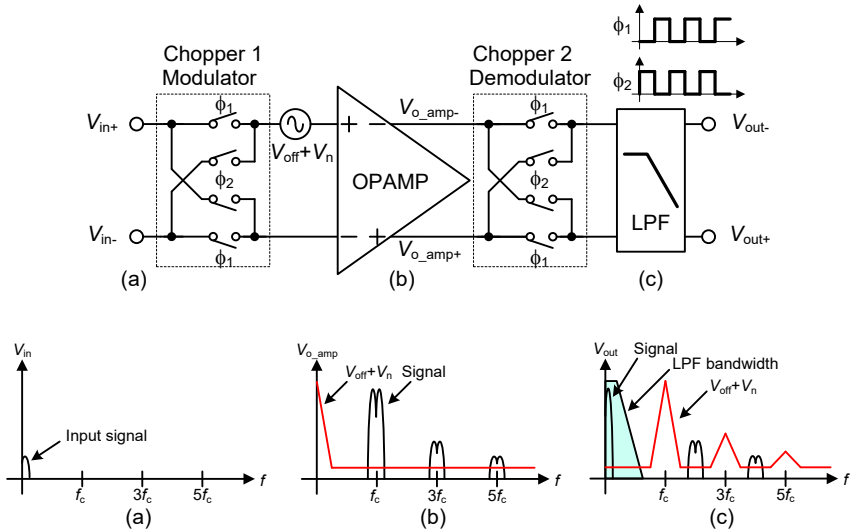


図 2・6 チョッパー増幅器の基本構成

■10 群-6 編-2 章

2-6 トランスインピーダンス増幅回路

(執筆著者：宮原正也) [2009年9月 受領]

トランスインピーダンス増幅回路とは、電流入力／電圧出力変換を行う増幅回路のこと指す¹⁾。トランスインピーダンス増幅回路はフォト・ダイオード用プリアンプや、電流出力型 D-A コンバータのバッファなどに使用される。図 2・7 に一般的なトランスインピーダンス増幅回路を示す¹⁾。 I_s は入力電流源、 R_s は入力電流源の出力抵抗、 C_s は入力電流源の寄生容量及びオペアンプの入力寄生容量の総和、 R_f はトランスインピーダンス、 C_f は位相補償の目的で帰還に挿入される容量を表す。オペアンプの利得が十分に大きく、また R_s が十分に大きく ($R_s \gg R_f$)、 C_s が十分に小さく無視できる場合、入出力関係は $V_{out} = -R_f \cdot I_s$ と表される。微弱な入力信号の場合回路のノイズ特性が大きな課題となる。回路のノイズ特性は出力抵抗 R_s 及び寄生容量 C_s に大きく依存する。回路のノイズゲイン特性の概略図を図 2・8 に示す。ノイズゲインはオペアンプの入力換算ノイズに対するゲインを表すもので、この回路ではオペアンプの正入力端子から出力端子の利得特性と等価となる。 C_s の影響が無視できる低周波領域ではノイズゲインは $(1 + R_f / R_s)$ として表され、 R_s が小さいときにノイズの影響が大きく現れることがわかる。 ω_z は

$$\omega_z = \frac{1}{R_f // R_s (C_s + C_f)}$$

と表され、 $R_f \ll R_s$ 、 $C_s \gg C_f$ が成り立つ場合、

$$\omega_z \approx \frac{1}{R_f C_s}$$

と近似できる。この周波数より高くなるとノイズゲインは +20dB/dec で上昇する。 R_f は所望のトランスインピーダンスより決定される場合が多いため、入力寄生容量 C_s が小さいほうが望ましいことがわかる。

また、ノイズゲイン特性はフィードバックファクタと等価であるため、図 2・7 よりこの回路の安定性についても評価ができる。図 2・7 ではノイズゲインとオペアンプのゲインプロットが 20dB/dec の傾きで交差している。この場合、オペアンプの位相シフトは -90° 、フィードバック系の位相シフトは 0° となる。オペアンプの位相シフトからフィードバック系の位相シフトを引いた値が回路全体の位相シフトとなるため、このときの位相シフトは -90° 、すなわち位相余裕が 90° となり回路は安定に動作する。 ω_p を $\omega_p = \omega_p'$ (ノイズゲインとオペアンプゲインプロットの交点) にあわせたとすると、フィードバック系の位相シフトは 45° となるため、位相余裕は 45° となる。 $\omega_p > \omega_p'$ に設定した場合には位相が -180° 近くシフトすることになり、位相余裕はほぼ 0° となるため、回路の応答がリングングを起こすようになり最悪の場合発振を起こすようになる。 ω_p は

$$\omega_p \approx \frac{1}{R_f C_f}$$

より C_f によって調整可能であり、実設計において設計者は回路が最適な応答を示す適切な容量値を洗濯する必要がある。

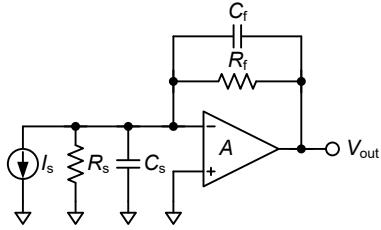


図 2・6 トランスインピーダンス増幅器の基本構成

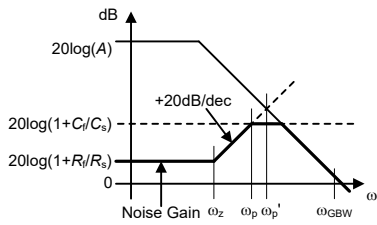


図 2・7 トランスインピーダンス増幅器のノイズゲイン特性

■10 群-6 編-2 章

2-7 チョッパ型比較回路

(執筆者：宮原正也) [2009年9月 受領]

チョッパ型比較回路は、チョッパ方式を用いることでオフセット電圧を低減した比較回路を指す。図 2・8 に、インバータ回路を用いた一般的なチョッパ型比較回路を示す⁸⁾。比較回路の感度を上げるために、インバータを 3 段連続接続した構成をとっている。インバータの入出力特性はそれぞれ図 2・9 に示した入出力特性をもっているとして動作を簡単に説明する。

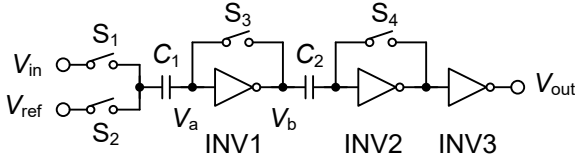


図 2・8 チョッパ型インバータ比較回路

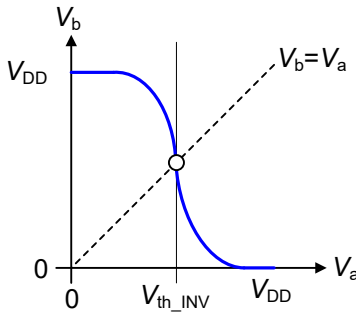


図 2・9 インバータ回路の入出力特性

はじめに、スイッチ S_2 , S_3 , S_4 を閉じ、スイッチ S_1 を開く。インバータ回路は、入力電圧 $V_{in} = V_{DD}/2$ 付近に論理式位置電圧があり、その近傍では出力電圧がインバータの固有利得により急激に変化する。INV1 について着目すると、 S_3 スイッチにより入出力端電圧がショートされ同電位となるため、 $V_b = V_a$ の直線と、インバータの入出力の交点でセルフバイアスされる。このときの入力電圧を V_{th_INV} とすると、容量 C_1 には $V_{ref} - V_{th_INV}$ の電圧が印加される。次に、スイッチ S_2 , S_3 , S_4 を開き、スイッチ S_1 を閉じる。容量間に蓄えられた電荷は保存されるので、ノード V_a は入力信号 V_{in} に対して、 $V_{ref} - V_{th_INV}$ だけ電圧シフトされた電圧が現れる。そのため、 $V_{in} > V_{ref}$ の際には INV1 の入力電圧 V_a が V_{th} より高くなり、INV1 の出力電圧 V_b は低下する。反対に $V_{in} < V_{ref}$ のときは入力電圧 V_a が V_{th} より低くなるため、INV1 の出力電圧 V_b は上昇する。このようにして、 V_{in} を V_{ref} と比較動作が行われる。このような動作により、インバータの利得が

十分に高ければ、インバータの論理しきい値 V_{th_INV} が多少ばらついても正確に比較動作を行うことが可能となる。正確には、INV1 の利得を $-A_1$ 倍とした場合に、オフセット電圧は $1/(1+A_1)$ 倍に低減される。INV2 も同様にオフセット電圧補償が行われており、INV2 が入力換算オフセット電圧に与える影響としては更に INV1 の利得分の 1 に低減されるので、影響はほとんど無視できる程度に小さくなる。よって、この回路のオフセット電圧は、INV1 のしきい値ばらつきを $1/(1+A_1)$ 倍した値にほぼ等しくなる。

説明を簡単にするため上記のようなスイッチ動作を行った場合について述べたが、実際の動作では、はじめにスイッチ S_1, S_3, S_4 を閉じ、スイッチ S_2 を開く。 C_1 には $V_{in} - V_{th_INV}$ の電圧が印加され、 S_3, S_4 を開いた後 S_1 を開く。この動作により S_3 が開いた瞬間の入力信号値が標本化されることとなる。次に S_2 を閉じて比較動作を行う。このような動作にすることで、比較時に参照電圧という直流信号が入力され、安定した出力が得られる。

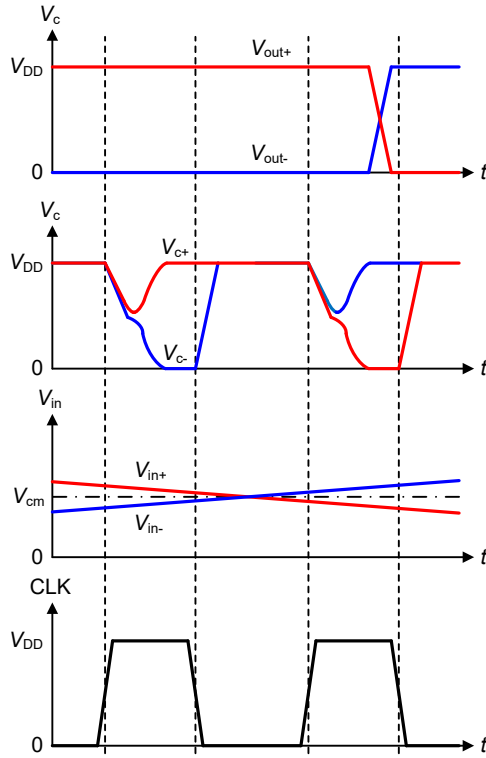


図 2・11 ダイナミック型比較回路の動作波形

ダイナミック型比較回路では、センスアンプが増幅器として働く際に定常状態が存在しないため、チョッパ型比較回路のようにオフセット電圧を容量に保持させるオフセットキャンセル手法を用いることができない。この問題に対し、近年ではセンスアンプの負荷容量または入力差動対の電流量をデジタル的に可変とすることで V_{c+} 、 V_{c-} の立下り時間を制御してオフセットを低減する手法がいくつか提案されており、微細なプロセスにおいてもある程度の精度（オフセットの標準偏差値で $1\sim 2\text{ mV}$ ）を保つことが可能となっている^{11), 12)}。

■10 群-6 編-2 章

■参考文献

- 1) アナログ・デバイセズ, "OP アンプの歴史と回路技術の基礎知識," CQ 出版社, 2003.
- 2) Behzad Razavi, "Design of Analog CMOS Integrated Circuits," McGraw-Hill, 2003.
- 3) P.R. Gray and R.G. Meyer, "MOS Operational Amplifier Design - A Tutorial Overview", IEEE J. Solid-state Circuits, vol. SC 17, no. 6, pp. 969-982, December, 1982
- 4) D. Senderowicz, S. F. Dreyer, J. H. Huggins, C. F. Rahim, and C. A. Laber, "A family of differential NMOS analog circuits for a PCM codec filter chip," IEEE J. Solid-State Circuits, vol. SC-17, pp. 1014-1023, Dec. 1982.
- 5) K. Bult and G. Geelen, "A Fast-Settling CMOS Op Amp for SC Circuits with 90dB DC Gain," IEEE Journal of Solid-State Circuits, Vol. 25, No. 6, pp. 1379-1384, Dec, 1990.
- 6) B. Y. Kamath, R. G. Meyer, and P. R. Gray, "Relationship between frequency response and settling time of operational amplifiers," IEEE J. Solid-State Circuits, vol. SC-9, pp. 347-352, Dec.1974.
- 7) K. C. Hsieh, P. R. Gray, D. Senderowicz, and D. Messerschmitt, "A low-noise differential chopper-stabilized switched capacitor filtering technique," IEEE J. Solid-State Circuits, VOL SC-16, pp. 708-715, Dec. 1981.
- 8) K. Kusumoto, A. Matsuzawa, and K. Murata, "A 10-b 20-MHz 30-mW pipelined interpolating CMOS ADC," in IEEE J. Solid-State Circuits, vol. 28, pp. 1200-1206, Dec., 1993.
- 9) J. Montanaro, R. T. Witek, K. Anne, A. J. Black, E. M. Cooper, D. W. Dobberpuhl, P. M. Donahue, J. Eno, A. Farell, G. W. Hoepfner, D. Kruckemyer, T. H. Lee, P. Lin, L. Madden, D. Murray, M. Pearce, S. Santhanam, K. J. Snyder, R. Stephany, S.C. Thierauf, "A 160 MHz 32-b 0.5-W CMOS RISC microprocessor," IEEE J. Solid-State Circuits, vol. 31, no. 11, pp. 1703-1714, Nov. 1996.
- 10) A.G.M.Strollo, D.De Caro, E.Napoli, and N.Petra, "A novel high-speed sense-amplifier-based flip-flop," IEEE Trans. on Very Large Scale Integration (VLSI) Systems, vol.13, no.11, pp. 1266 - 1274, Nov. 2005.
- 11) G. Van der Plas, S. Decoutere, and S. Donnay, "A 0.19pJ/Conversion-step 2.5mW 1.25GS/s 4b ADC in a 90nm Digital CMOS Process," in ISSCC Dig. of Tech. Papers, pp.566-567, Feb. 2006.
- 12) E. Alpman, H. Lakdawala, R. L. Carley, and K. Soumyanath, "A 1.1V 50mW 2.5GS/s 7b Time-Interleaved C-2C SAR ADC in 45nm LP digital CMOS," in ISSCC Dig. of Tech. Papers, pp. 76-77, Feb. 2009.
- 13) M. Miyahara, Y. Asada, D. Paik and A. Matsuzawa "A Low-Noise Self-Calibrating Dynamic Comparator for High-Speed ADCs" in Proc. IEEE A-SSCC, 9-2, pp 269-272, Japan, Fukuoka, Nov. 2008.