

■10 群 (集積回路) - 6 編 (アナログ LSI)

4 章 A/D 変換器

【本章の構成】

本章では以下について解説する.

- 4-1 A/D 変換器の変換方式
- 4-2 並列型 A/D 変換器
- 4-3 直並列型 A/D 変換器
- 4-4 積分型 A/D 変換器
- 4-5 逐次比較型 A/D 変換器
- 4-6 パイプライン型 A/D 変換器

■10 群-6 編-4 章

4-1 A/D 変換器の変換方式

(執筆者：松澤 昭) [2009年8月受領]

A/D 変換器は図 1・1 に示すように、分解能と変換周波数に応じて各種の変換方式があり、それぞれ特徴がある。そこで、この章では 6 章の $\Delta\Sigma$ 型 A/D 変換器を除く、高速型の A/D 変換器の変換形式とその特徴について述べる。

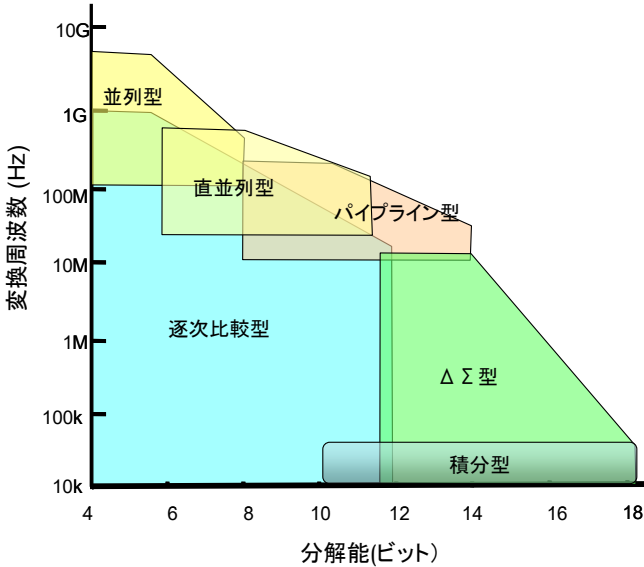


図 1・1 各種 A/D 変換器がカバーする分解能と変換周波数

■10 群-6 編-4 章

4-2 並列型 A/D 変換器

(執筆者：松澤 昭) [2009年8月 受領]

並列型 A/D 変換器は、物差しを用いて計ることに相当する。図 2・1 に示すように、 N ビット分解能の測定では、 2^N 個の目盛りと比較器とを用いて、入力電圧の大きさと各目盛りと比較する。通常、単位抵抗を直列に接続した抵抗列に、参照電圧を印加して、それぞれの目盛りに対応する電圧を発生させる。ほぼ同数の比較器が配置されており、比較器は入力信号と、それぞれの参照電圧を比較し、入力信号が参照電圧よりも高ければ“1”を、低ければ“0”を出力する。したがって、比較器の論理出力は下位から“1”が連続し、あるところから“0”が続くようになる。この変化点を、NAND や EXOR などの論理回路を用いて検出し、エンコーダを用いて対応するバイナリー値を発生させる。

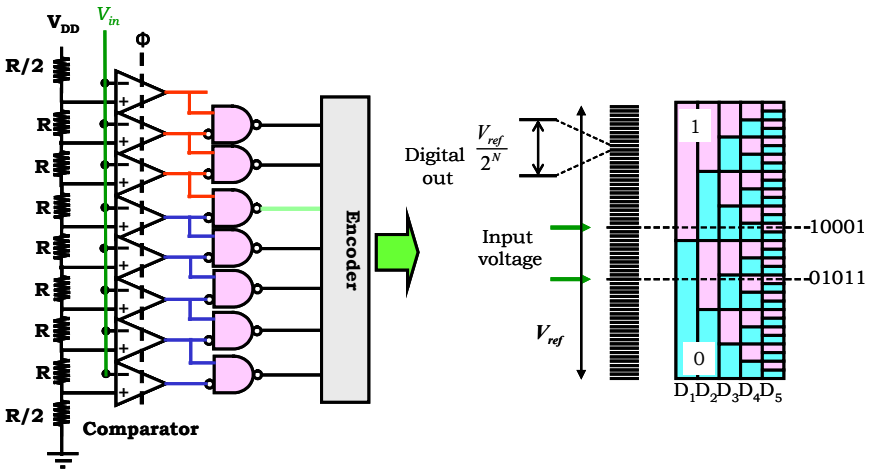


図 2・1 並列型 A/D 変換器

この比較動作は、各比較器で並列に行えることから GHz 程度の極めて高い変換速度を得ることができる。しかしながら、この変換方式では複数の比較器を用いるために、比較器のオフセット電圧が精度を決定する。

いま、比較器のミスマッチ電圧分布の標準偏差を $\sigma(V_{mis})$ (LSB 単位) とすると、A/D 変換器の有効ビット ENOB の理想値からの劣化、 $\Delta ENOB$ は

$$\Delta ENOB = -\frac{1}{2} \log_2(1 + 12\sigma(V_{mis})^2) = -1.67 \log(1 + 12\sigma(V_{mis})^2) \quad (2 \cdot 1)$$

となる。この結果を図 2・2 に示す。

この結果より、有効ビットを 0.1 bit の劣化に抑えようとするとき、比較器のミスマッチ電圧は標準偏差で 0.1 LSB 程度に抑える必要がある。例えば、分解能を 10 ビット、フルスケール電圧を 1V と仮定すると、100 μ V となり、不可能なレベルである。したがって、分解能が高くなる

ほど、1 LSB に相当する電圧が小さくなり、オフセット電圧ばらつきの極めて小さな比較器が必要となることから、高分解能化は困難である。また、比較器数が分解能 N に対し 2^N で増加することから、1 ビット増加するごとに回路規模や消費電力は 2 倍程度になる。このため、この方式は高速動作が可能であるが、高分解能には適さない。

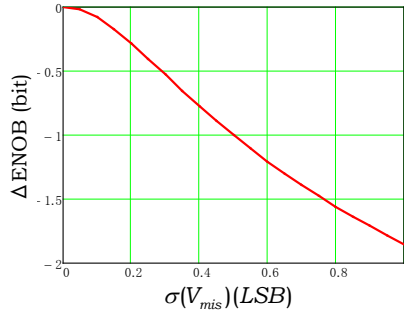


図 2・2 比較器のミスマッチ電圧と A/D 変換器の有効ビットの劣化

■10 群-6 編-4 章

4-3 直並列型 A/D 変換器

(執筆著者：松澤 昭) [2009年8月 受領]

直並列型 A/D 変換器は、並列変換を 2 回以上に分けて行うもので、ノギスを用いて計ることに似ている。図 3・1 示すように、単位抵抗を直列に接続した抵抗列は、それぞれ上位変換、下位変換に用いられる。比較器も上位変換と下位変換に分けられている。初めに上位参照電圧と入力信号が上位比較器にて比較され、おおよその信号電圧範囲が決定され、上位変換値が出力される。次に、この上位変換値に対応する下位参照電圧が選択され、標準化された入力信号と下位参照電圧が、下位比較器にて比較され下位変換値が出力される。通常、このような 2 回の変換が多い。

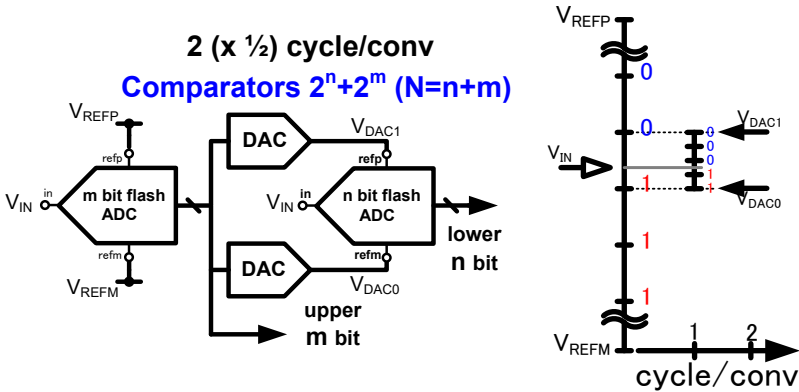


図 3・1 直並列型 A/D 変換器

この直並列型 A/D 変換器では、必要な比較器の数は程度に減少させることができるので、回路規模や消費電力の低減に効果的である。したがって、数 10 MHz から数 100 MHz 程度の変換速度の A/D 変換器に用いることが多い。

ただし、標準化回路を必要とするほか、セットリング時間の制約がある。また、比較器に要求されるオフセット電圧のばらつき精度は並列型とあまり変わらないので、高分解能化は容易ではない。

ところで、直並列型 A/D 変換器では図 3・2 に示したオーバラップ構造を用いることがよく行われている。

理想状態では上位変換と下位変換の変換範囲にはオフセット電圧はないが、実際の回路では標準化回路のチャージフィードスルーやクロックフィードスルーなどの影響によりオフセット電圧が生じやすい。いま、図 3・2(b)のように下位変換範囲に 1 LSB 相当のオフセット電圧が発生すると、変換値は上位変換値と下位変換値が加算されたものになるので、信号が 2 つの異なる電圧レベルにあっても同一の値 [8] が出力され、微分非直線性が劣化する。しかしながら、下位変換範囲を拡大するオーバラップ構造を用いると、下の入力電圧では [7] が上の入力電圧では [8] が出力されるので、直線性は劣化しないようにできる。

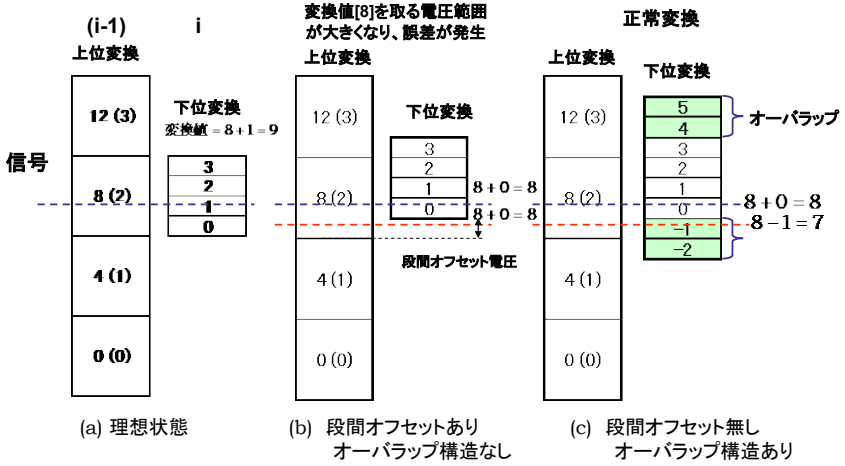


図 3・2 直並列型 A/D 変換器におけるオーバーラップ構造

■10 群-6 編-4 章

4-4 積分型 A/D 変換器

(執筆者：松澤 昭) [2009年8月 受領]

積分型 A/D 変換器は、水時計に似ており、信号量を時間で計るものである。図 4・1 に示すように、演算増幅器を用いた積分器、比較器、カウンタ、制御回路などで構成される。

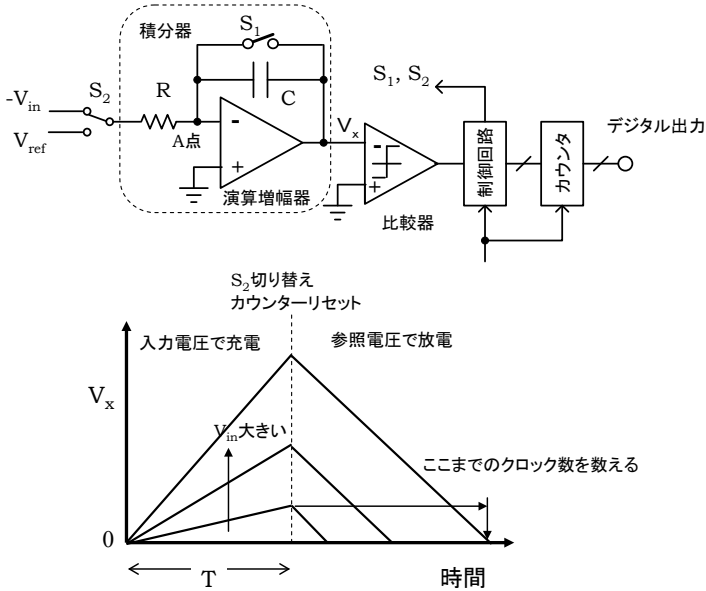


図 4・1 積分型 A/D 変換器

初めにスイッチ S_1 を閉じて容量の電荷を放電しておく。次に、スイッチ S_1 を開き、 S_2 を閉じて、極性を反転した入力信号 $-V_{in}$ を抵抗 R に印加する。

A 点は仮想接地点であるので、抵抗には

$$I_{in} = -\frac{V_{in}}{R} \quad (4 \cdot 1)$$

の電流が流れる。

この電流は容量 C を通って流れ、出力に入力電圧と時間に比例した電圧 V_o が発生する。

$$V_o = \frac{V_{in}}{CR} t \quad (4 \cdot 2)$$

この間、カウンタが動作しており、分解能を N として 2^N 個のパルスをカウントし、設定値に達したら、カウンタを停止させるとともにスイッチ S_2 を開く。

次にスイッチ S_2 を切り替え、参照電圧 V_{ref} を抵抗 R に印加する。このとき容量の電荷はこの抵抗を流れる電流により、徐々に放電されて、出力電圧は減少する。比較器はこの積分器の出

力信号をモニタし、極性が切り替わったら、フラグを立ててカウンタをストップさせる。この時のカウント数を n とすると、以下が成り立つ。

$$\frac{V_{in}}{V_{ref}} = \frac{n}{2^N} \quad (4 \cdot 3)$$

したがって、カウント数が A/D 変換器の変換値となる。

この回路では積分器が、電圧を時間に変換する作用を担っており、変換精度は、抵抗及び容量の電圧依存性や積分器を構成する演算増幅器の利得に依存する。この方式では単調性が保証されており、精度が出しやすく、16 bit 程度の分解能が可能である。しかしながら、変換に長い時間がかかる。例えば、パルスの周期を 10 nsec (100 MHz) とし、分解能を 16 bit とすると 1.4 ms 程度の変換時間が必要である。このため信号処理に用いるのは難しく、デジタルボルトメータなどの DC 計測に用いられている。

■10 群-6 編-4 章

4-5 逐次比較型 A/D 変換器

(執筆者：松澤 昭) [2009年8月受領]

逐次型 A/D 変換器は図 5・1 に示したように、内部に D/A 変換器を有し、D/A 変換器で発生させた参照信号と入力信号を比較して逐次的に変換していくものである。

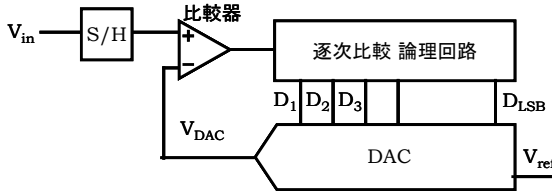


図 5・1 逐次比較型 A/D 変換器

はじめに基準信号の半分の電圧である $\frac{V_{ref}}{2}$ を発生させ、入力信号 V_{in} と比較する。

V_{in} が $\frac{V_{ref}}{2}$ よりも高ければ MSB ビットである D_1 を [1] にし、低ければ D_1 を [0] にする。

次に $D_1 = [1]$ の場合、 $V_{ref}(\frac{1}{2} + \frac{1}{4})$ を発生させ、 $D_1 = [0]$ の場合は $V_{ref}(\frac{1}{2} - \frac{1}{4})$ を発生させて比較する。したがって、各変換ビットの状態と、発生させる参照電圧 V_{DAC} は、

$$\begin{aligned} B_i &= 1 \text{ if } D_i = [1] \\ B_i &= -1 \text{ if } D_i = [0] \end{aligned} \tag{5・1}$$

のもとで、

$$V_{DAC} = V_{ref} \left(\frac{1}{2} + \sum_{i=1}^{N-1} B_i \cdot \frac{1}{2^{i+1}} \right) \tag{5・2}$$

となる。このように発生させる参照電圧は、図 5・2 のようにトーナメント状になる。

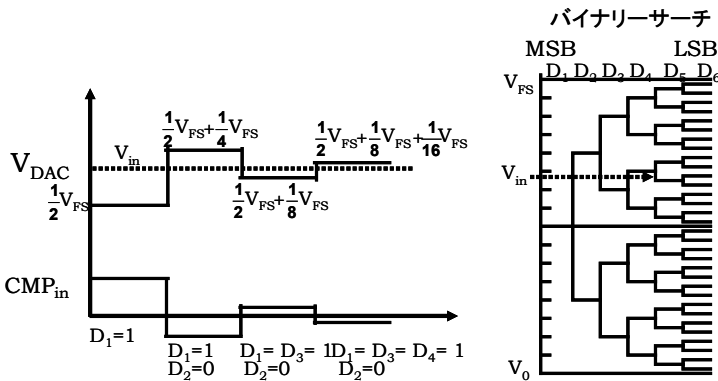


図 5・2 逐次比較型 A/D 変換器の電圧状態

このように、上位ビットから逐次変換していくので、逐比較型と呼ばれる。DAC の構成法は様々に考えられるが、低消費電力で高精度なものは図 5・3 に示す重み付け容量アレーを用いたものである。

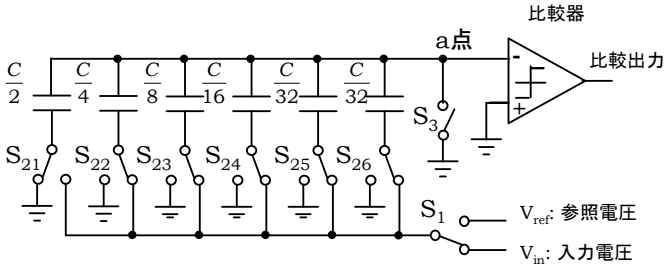


図 5・3 重み付け容量アレーを用いた逐次比較型 A/D 変換器

初めにスイッチ S_1 は入力信号側に選択し、スイッチ $S_{21} \sim S_{26}$ は信号線を選択し、スイッチ S_3 を閉じる。この状態では各容量に V_{in} が印加される。次にスイッチ S_3 を開くと、入力信号は標本化される。その後、スイッチ $S_{21} \sim S_{26}$ を接地側に倒す。このとき a 点には $-V_{in}$ が現れる。次にスイッチ S_1 は参照電圧側を選択し、 S_{21} のみ信号線側を選択し、容量 $\frac{C}{2}$ の一方の端子に参照電圧を印加する。

この前の状態の標本化においては a 点の電荷 Q_a は

$$Q_a = -CV_{in} \quad (5 \cdot 3)$$

この状態で発生する電圧を V_x とすると、a 点での電荷は電荷保存則により

$$\frac{C}{2}(V_x - V_{ref}) + \frac{C}{2}V_x = -CV_{in} \quad (5 \cdot 4)$$

となるので、発生する電圧 V_x は

$$V_x = -\left(V_{in} - \frac{V_{ref}}{2}\right) \quad (5 \cdot 5)$$

となり、a 点の電圧極性を比較器で判別することで、MSB の判定が可能である。その後は逐次、スイッチ S_2 を変換値に応じて切り替えていくことで、A/D 変換が可能となる。

ところで、この変換方式では最小容量と最大容量の比率が 2^{N-1} に達するため、分解能の増大に伴い大きな容量比が必要で、実用的ではない。このため、図 5・4 に示したようなスケールン容量が用いられる。

図 5・4 においてスケールン容量 C_s より左側の全容量 C と C_s の直列容量は $1/8 C$ に等しくなければならないので、

$$\frac{1}{C_s} + \frac{1}{C} = \frac{8}{C} \quad (5 \cdot 6)$$

したがって、

$$C_s = \frac{C}{7} \quad (5 \cdot 7)$$

の値の C_s を用いればよい。

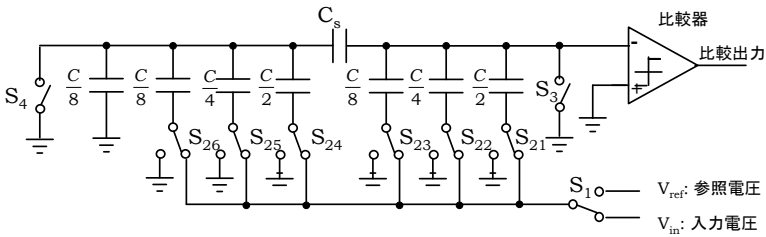


図 5・4 スケーリング容量を用いた逐次比較型 A/D 変換器

このようにスケーリング容量を用いることで容量比を下げるができる。ただし、スケーリング容量 C_s には寄生容量があるので、直線性の劣化を招きやすく、補正技術が必要とされることが多い。

ところで、この方式では比較器が 1 個であり、また比較器のオフセット電圧は直線性に影響を及ぼさないため、高精度化が可能である。また、容量アレーが標準化回路として用いることができるほか、容量は静止電流が流れず、演算増幅器のような、電力を消費する回路を必要としないため、極めて低消費電力で動作する。ただし、分解能相当の変換ステップを必要とすることから、高速化が困難であり、1 個では数 MHz 程度の変換速度が一般的であるが、最近素子の微細化による高速性を活かし、6 ビット程度の低分解能では、数百 MHz 程度の変換周波数を達成した開発例があり、今後は更なる高速化が進展するものと期待される。分解能は DAC の精度に依存するが、14 ビット程度は可能である。

■10 群-6 編-4 章

4-6 パイプライン型 A/D 変換器

(執筆著者：松澤 昭) [2009年8月受領]

パイプライン型 A/D 変換器は、図 6・1 のように、スイッチトキャパシタ型増幅器を従属に接続し、前段の出力信号を、参照電圧と比較して、比較出力を得るとともに、この比較出力に基づき、内部 D/A 変換回路を用いて、アナログ電圧を発生させ、出力信号からこの D/A 変換信号を引いて、増幅するようになっており、前段が増幅モードのとき、後段がサンプルモードとなっており、前段の出力電圧をサンプルするような構成により、差分信号をパイプライン的に増幅する構成となっている。

動作は、クロックの半周期ごとに入れ替わるようになっているが、高速化のために、比較器の判定タイミングは、前段の増幅器が増幅モードからサンプルモードに切り替わるよりも、少し前に設定することが多い。

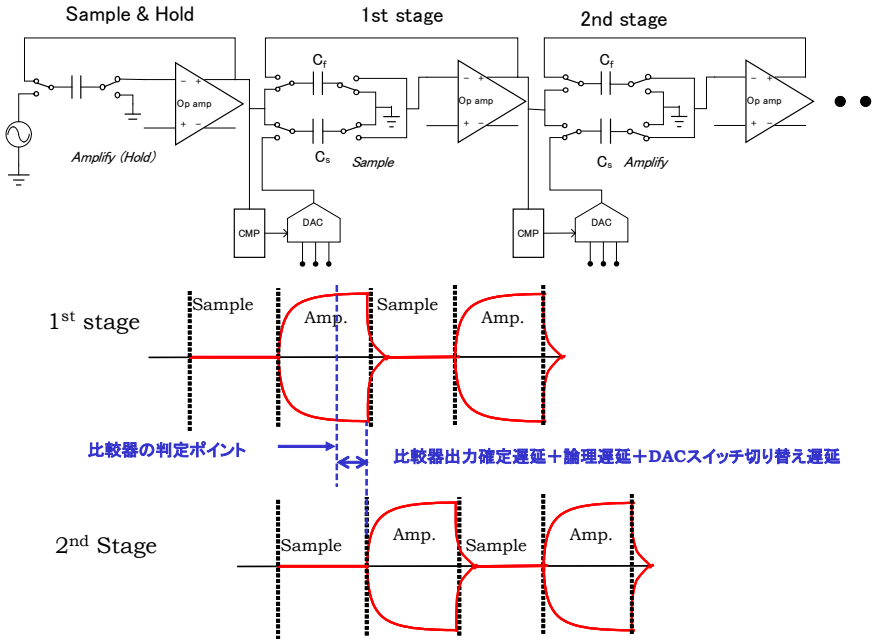


図 6・1 パイプライン型 A/D 変換器

このような構成により、図 6・2 に示すような折れ返し特性を得る。図 6・2 は 1 ビット構成の折れ返し特性を示しており、比較器は入力信号が負の極性の場合は、比較出力を [0] とするとともに、D/A 変換出力を V_{ref} にする。入力信号が正の極性の場合は比較出力を [1] とするとともに、D/A 変換出力を $-V_{ref}$ にする。回路系の増幅率は 2 に設定されているので、入出力特性は図 6・2 のように N のように折り返す特性となる。回路は従属に接続されているので、この折れ

返し特性の出力が後段の入力信号となり、後段までの折れ返し特性は、より細かく折り返す特性となることで、A/D 変換が可能になる。

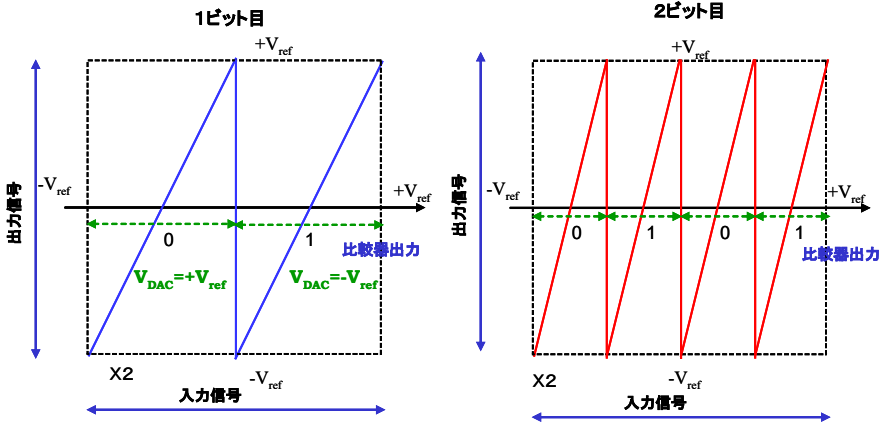


図 6.2 1 bit/段の場合の折り返し入出力特性

各段の出力信号 V_i は、前段の出力信号 V_{i-1} に対して、信号 V_{i-1} に対する比較器の出力を D_{i-1} とすると、

$$V_i = 2V_{i-1} - D_{i-1}V_{ref} \quad (6 \cdot 1)$$

と表される。ここで、

$$D_{i-1} = \begin{cases} +1 & \text{if } V_{i-1} > 0 \\ -1 & \text{if } V_{i-1} < 0 \end{cases} \quad (6 \cdot 2)$$

である。

しかしながら、この 1 ビットの折れ返し特性は比較器や OP アンプのオフセット電圧の影響を受けて、直線性が著しく劣化しやすく、現在は使用されていない。

例えば、図 6.3 のように、比較器にオフセット電圧があった場合は、入出力特性が鎖線の四角い枠で示したように、正常変換範囲から飛び出す。これにより飛び出した区間の変換値はクリップされ、正常変換範囲に戻って初めて正常値に戻るような特性になる。

したがって、比較器、OP アンプのオフセット電圧に対する要求は 1/4 LSB から 1/8 LSB 程度と厳しく、高精度化が困難になっていた。この課題を解決したのが 1.5 bit 冗長型パイプライン A/D 変換方式である。

この方式の特徴は図 6.4 のように折り返し電圧を、極性の切り返し点の 0 ではなく、 $\pm V_{ref}/4$ としたことである。各段の出力信号 V_i は、前段の出力信号 V_{i-1} に対して、信号 V_{i-1} に対する比較器の出力を D_{i-1} とすると、

$$V_i = 2V_{i-1} - D_{i-1}V_{ref} \quad (6 \cdot 3)$$

と表される。ここで、

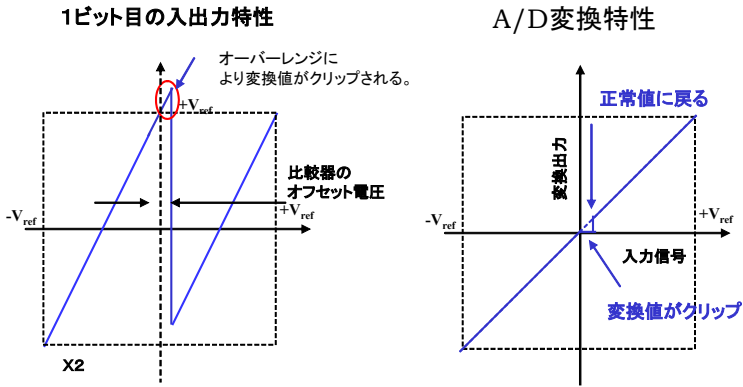


図 6・3 1 bit/段の場合の折り返し入出力特性の変換誤差

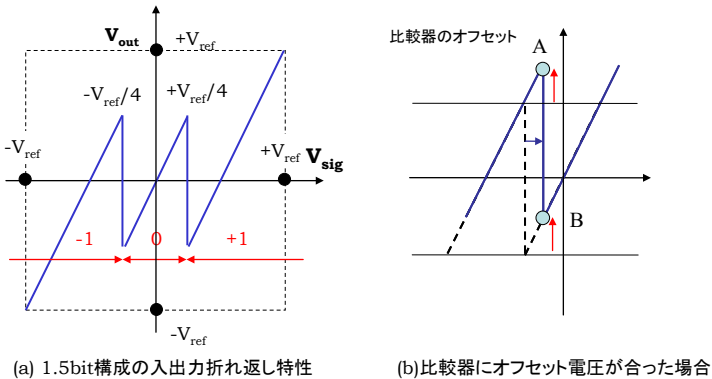


図 6・4 1.5 bit 冗長構成の入出力折り返し特性

$$D_{i-1} = \begin{cases} +1 & \text{if } V_{i-1} > +\frac{V_{ref}}{4} \\ 0 & \text{if } -\frac{V_{ref}}{4} < V_{i-1} < +\frac{V_{ref}}{4} \\ -1 & \text{if } V_{i-1} < -\frac{V_{ref}}{4} \end{cases} \quad (6 \cdot 4)$$

であり、1 bit/段を拡張したものである。ここで A/D 変換値は両極性をとるものと仮定する。

したがって、比較器のオフセット電圧が大きいために、折り返し特性が理想である点線ではなく、実線のようにずれたとしても、その出力電圧は正常変換範囲の中にあるので、正常に変換される。例えば、折り返し近傍の入力電圧 $-V_{ref}/8$ で比較器の状態により A の出力電圧をとった場合は、デジタル値が $[-1]$ でアナログ出力 V_i は、式(6.3)より、

$$V_i = 2V_{i-1} - D_{i-1}V_{ref} = -\frac{V_{ref}}{4} + V_{ref} = \frac{3}{4}V_{ref} \quad (6 \cdot 5)$$

となり、B では、デジタル値が[0]でアナログ出力 V_i は、式(6.3)より、

$$V_i = 2V_{i-1} - D_{i-1}V_{ref} = -\frac{V_{ref}}{4} \quad (6 \cdot 6)$$

と、低くなるが、デジタル値は1ビット多いので、これは $V_{ref}/2$ に相当し、変換値自体は変わらない。

1.5 bit 冗長型においては DAC の出力が $\pm V_{ref}$ 及び 0 の 3 つの値を用いる必要があるが、このような電圧はスイッチによる切り替えで容易に実現できる。したがって、比較器や OP アンプのオフセット電圧は変換精度に影響を与えず、変換精度を決定するのは増幅度である。1.5 bit 冗長型パイプライン A/D 変換方式では正確に 2 倍の増幅度が必要である。もしも増幅度がずれた場合は、図 6.5 のように比較器の切り替えポイントで大きな変換誤差を生じる。増幅度のずれは容量ミスマッチもしくは OP アンプ利得に起因することが多い。

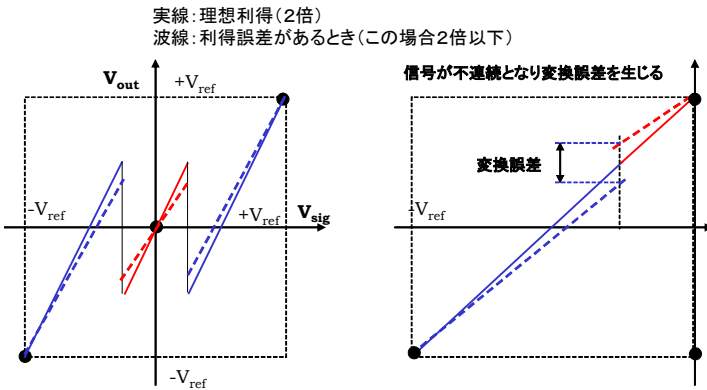


図 6.5 増幅度のずれによる変換誤差 (1.5 bit 冗長構成)

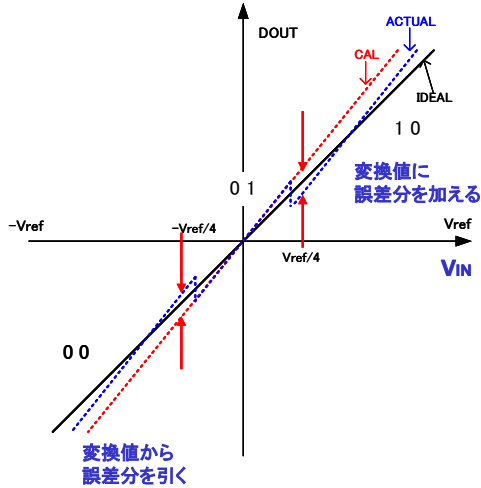


図 6・6 利得誤差があるときの変換入出力特性とその補正方法

このような変換誤差に対し、デジタル的に補正を加えることも可能である。図 6・6 にパイプライン型 A/D 変換器において利得誤差があるときの変換入出力特性を示す。MSB の比較器及び参照電圧の切り替えが行われる入力信号である $\pm V_{\text{ref}}/4$ のところに大きな変換誤差を生じている。このような場合は、入力信号を $\pm V_{\text{ref}}/4$ に設定して参照電圧を切り替えたときの変換値と切り替えないときの変換値の差分をデジタル的に記録しておき、MSB の比較器の状態に応じてこの誤差を変換値から引いたり、加えたりすることで、段差誤差を少なくし、直線性を向上させることができる。