

■10 群 (集積回路) - 6 編 (アナログ LSI)

5 章 D/A 変換器

(執筆者：堀田正生) [2011 年 4 月 受領]

■概要■

D/A 変換器，すなわちデジタル-アナログ変換器はデジタル信号をアナログ信号に変換する回路である。現在では，デジタル信号処理が広く用いられるが，音や画像，圧力など自然界の信号はほとんどがアナログ信号であり，アナログ信号とデジタル信号とのインタフェース回路として A/D (アナログ-デジタル) 変換器とともにセンサや制御を含むシステムに欠かせない重要な回路となっている。その応用範囲として，デジタルビデオ機器，デジタルオーディオ機器や，サーボ系などが挙げられる。

D/A 変換器は，その応用範囲が多岐にわたり，その目的に応じて高精度化，高速化，低消費電力化，あるいは小面積化などに対応した様々な回路技術が開発されてきた。

【本章の構成】

本章では以下について，その技術的特長と回路方式に関して解説する。

- 5-1 バイナリ型 D/A 変換器
- 5-2 デコーダ型 D/A 変換器
- 5-3 電流加算型 D/A 変換器
- 5-4 ダイナミックエレメントマッチング

■10 群-6 編-5 章

5-1 バイナリ型 D/A 変換器

(執筆著者：堀田正生) [2011年4月 受領]

D/A 変換器のアナログ出力信号 S_{out} は、デジタル入力信号を $\{b_1, b_2, \dots, b_N\}$ とすると、一般的に式(1・1)のように表される。ここで、 S_{ref} は基準信号である。バイナリ型 D/A 変換器は 2 進化荷重型 D/A 変換器ともいわれ、式(1・1)に従って 2 進で重み付けされた電流や電荷などをデジタル信号に応じて加算することでデジタル値をアナログ値に変換する方式である。

$$S_{out} = S_{ref} (b_1 2^{-1} + b_2 2^{-2} + \dots + b_N 2^{-N}) \quad b_i \in \{0, 1\} \quad (1 \cdot 1)$$

(1) R-2R はしご形抵抗回路網を用いた D/A 変換器

バイナリ型 D/A 変換器として広く用いられるものにはしご形抵抗回路網を用いた D/A 変換器がある。その基本構成を図 1・1(a)に示す。この回路は抵抗 R と $2R$ で構成され、ある節点 P_k に着目すると、 P_k から右を見ると 2 つの $2R$ の抵抗が並列になった抵抗 (すなわち R) が R に直列に接続されているように見える。同様に P_k から左を見ても同じである。このような回路でビット b_k のスイッチのみが基準電圧源 V_{ref} 側に接続されているとすると、同図(b)に示す等価回路で表すことができ、節点 P_k, P_{k-1} 、及び出力点 P_0 における電圧は

$$V_k = \frac{1}{3} V_{ref} \quad V_{k-1} = \frac{1}{2} \cdot \frac{1}{3} V_{ref} \quad V_0 = \frac{1}{2^k} \cdot \frac{1}{3} V_{ref}$$

となる。これより、一般に出力電圧 V_0 は b_k をデジタル値とすると、次式で表される。

$$V_0 = \frac{1}{3} V_{ref} \cdot (b_0 \cdot 2^0 + b_1 \cdot 2^{-1} + \dots + b_{n-1} \cdot 2^{-(n-1)}) \quad (1 \cdot 2)$$

この方式では、 R 及び $2R$ の 2 種類の抵抗があればよいので IC 化に適している。

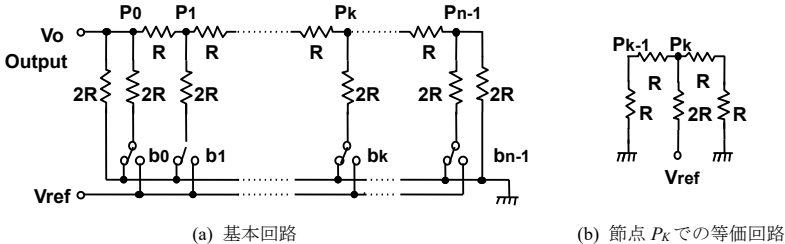


図 1・1 R-2R はしご形抵抗回路網を用いた D/A 変換回路 (定電圧形)

また、図 1・1 に示したのは低電圧型であるが、このはしご形抵抗回路網を定電流源の負荷として用いた定電流型を図 1・2 に示す。この回路方式はデジタル値によって電流スイッチで定電流源の電流を切り替えるために高速動作が可能である。

この D/A 変換器の精度は、R-2R はしご形抵抗回路網の各節点 $P_0 \sim P_{n-1}$ で発生した電圧を出力では $1/2^n$ に分圧して得ることになるために R-2R の抵抗の比精度で決まることになる。一般に IC で、製造ラインで実現できる抵抗の比精度は標準偏差で $\pm 0.1\%$ 程度であることを考慮すると、容易に実現できる精度は 9~10 ビットが限界ということになる。

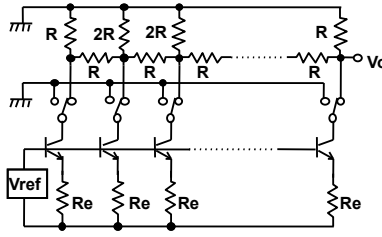


図 1・2 R-2R はしご抵抗回路網を用いた D/A 変換回路 (定電流型)

(2) 2 進化荷重容量を用いた D/A 変換器

2 進化荷重の容量を用いて基準電圧 V_{ref} から充電される電荷量を 2 進化荷重とし、それを加算することにより実現した D/A 変換器である¹⁾。その基本構成を図 1・3 に示す。同図に示すように基本容量を C_U として 2 進荷重容量 ($C_U, C_U, 2C_U, \dots, 2^{n-2}C_U, 2^{n-1}C_U$) を準備し、まず ϕ_R でスイッチを閉じた状態でデジタル値 b_i によりグランドか基準電圧 V_{ref} かのどちらに接続するかを選択する。次にスイッチを開放し、 b_i によりすべてをグランドに接続すると出力電圧 V_{out} は次式となる。

$$V_{out} = V_{ref} \frac{\sum_{i=1}^n b_i C_i}{\sum_{i=0}^n C_i} = V_{ref} \frac{\sum_{i=1}^n b_i 2^{i-1} C_U}{\sum_{i=1}^n 2^{i-1} C_U + C_U} = V_{ref} \frac{\sum_{i=1}^n b_i 2^{i-1} C_U}{2^n C_U} \tag{1・3}$$

ここで、図 1・3 に示すようにバッファ回路を用いるが、このバッファ回路の入力に寄生容量 C_p があると、出力電圧 V_{out} は

$$V_{out} = V_{ref} \frac{\sum_{i=1}^n b_i C_i}{\sum_{i=0}^n C_i + C_p} = V_{ref} \frac{\sum_{i=1}^n b_i 2^{i-1} C_U}{2^n C_U + C_p} \tag{1・4}$$

となり、この式からバッファ回路の入力容量 C_p は出力振幅に影響を与えるが、線形性に影響を与えないことが分かる。

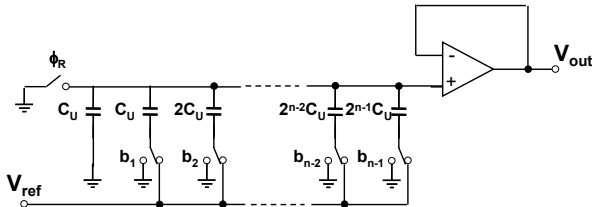


図 1・3 2 進化荷重容量による D/A 変換器

図 1・3 に示した構成の D/A 変換器では、その出力ダイナミックレンジは基準電圧 V_{ref} に等しいが、図 1・4 に示す演算増幅器を用いた回路では帰還容量との比によって出力振幅を変えられるために MDAC (Multiplying DAC) と呼ばれており、その出力電圧 V_{out} は次式となる。

$$V_{out} = -\frac{\sum_{i=1}^n b_i 2^{i-1} C_U}{kC_U} \quad (1 \cdot 5)$$

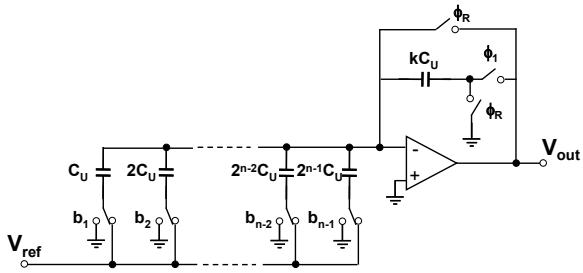


図 1・4 MDAC (Multiplying DAC) 構成による D/A 変換器

■10 群-6 編-5 章

5-2 デコーダ型 D/A 変換器

(執筆著者：堀田正生) [2011 年 4 月 受領]

デコーダ型 D/A 変換器はセグメント型とも呼ばれ、等しい値を持つ電圧あるいは電流を $2M-1$ 個用意し、デジタル値に対応する個数分を加算する方式である。図 2・1 に電流加算によるデコーダ型 D/A 変換器の構成例を示す。5-1 節で述べたはしご形抵抗回路網を用いた D/A 変換器や 2 進化荷重容量を用いた D/A 変換器では、2 進で重み付けされた電圧や電荷をスイッチにより切り替えて変換を行うために、重みの大きい上位ビットの誤差が全体の線形誤差に大きく影響を与える。すなわち、 N ビットの D/A 変換器では最上位ビットは 2^{N-1} の重みを持ち、これに許される誤差は $1/2$ LSB 以下であることが必要で、結果として最上位ビットに要求される精度は $1/2^N$ となる。 $R-2R$ はしご形抵抗回路網を用いた構成では抵抗の相対精度として 0.1% 程度が現実的であることを考えると、10 ビット精度が特別なトリミングなどを用いなければ限界となる。

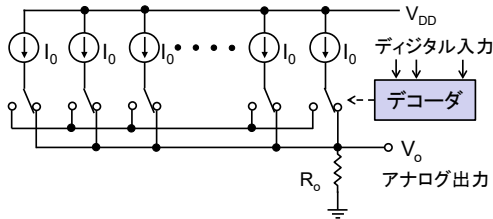


図 2・1 デコーダ型 D/A 変換器

これに対し、デコーダ型（セグメント型）では上位 M ビットに対して 2^M 個の電流源（あるいは電圧源）を用意し（このうち 1 個は下位ビット発生用に使用）、最上位ビットの重み 2^N を 2^{M-1} 個の電流源（あるいは電圧源）を加算して得る方式である。これはセグメント 1 つの電流源 I_0 の持つ誤差 δI_k が次式で示すように平均化されるために、最上位ビットの電流値 I_N の精度を向上できる。

$$I_N = \sum_{k=1}^{2^{M-1}} (I_0 + \delta I_k) = 2^{M-1} I_0 + \overline{\delta I_k} \quad (2 \cdot 1)$$

一方、デコーダ型では上位ビットが切り替わる点でも、1 つの定電流源が切り替わるだけなので全ビットが切り替わる 2 進化荷重方式に比べてグリッチが少ないという特徴がある²⁾。

(1) 荷重電流源によるデコーダ型 D/A 変換器

図 2・2 に上位 3 ビットをデコーダ（セグメント）型とした 12 ビット D/A 変換器の例を示す。上位 3 ビットに対して $2^3=8$ 個の等荷重電流源を設けたものであり、これにより上位ビットでの線形誤差を改善している。9~4 ビットに対しては $R-2R$ はしご形抵抗回路網を用いた構成とし、更に下位のビットに対してはビットの荷重に対する誤差の割合が大きくてもよいことから、トランジスタの寸法比で 2 進化荷重電流を実現している³⁾。

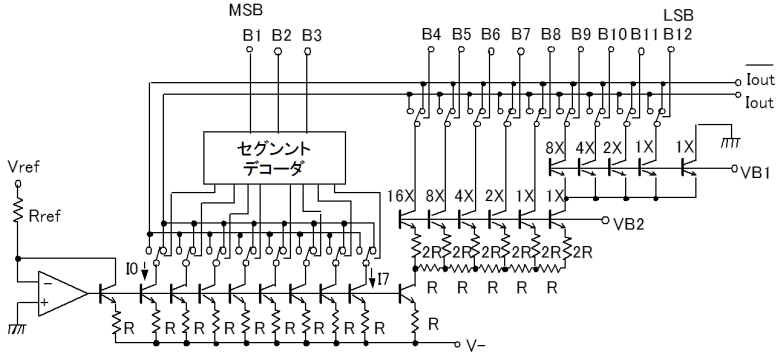


図 2・2 デコーダ (セグメント) 型 12 ビット D/A 変換器

(2) 電流マトリックス型 D/A 変換器

デコーダ (セグメント) 型 D/A 変換器として広く用いられているのが電流マトリックス (電流セルアレイ) 型といわれる図 2・3 に示す方式である。 2^{M-1} 個の定電流源 (電流セル) をマトリックス状に配置し、デジタル入力により列デコーダと行デコーダを介して電流セルを選択するようになっている。最下位ビットは誤差の許容値が $1/2 \text{ LSB}$ であると 50% の誤差を、また下位 2 ビット目は 25% の誤差を許容できるために、通常下位の 3~4 ビットは 2 進化荷重構成とし、電流セルの数を減らすことが多い⁴⁾。

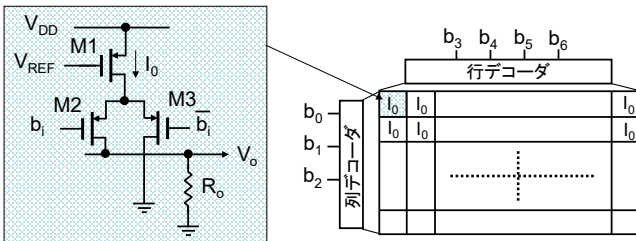


図 2・3 電流マトリックス (電流セルアレイ) 型 D/A 変換器の構成

■10 群-6 編-5 章

5-3 電流加算型 D/A 変換器

(執筆著者：堀田正生) [2011 年 4 月 受領]

5-1 節で D/A 変換器は 2 進化荷重の信号をデジタル値に応じて加算すればよいことを述べたが、2 進化荷重の信号として電流を用いると加算が容易となることや高速化が達成しやすいということなどから電流加算型 D/A 変換器が広く用いられている。その代表的なものに図 2-3 に示した電流マトリックス型 D/A 変換器がある。基本となる電流セルは図 3-1 に示す定電流源トランジスタと電流スイッチで構成される。ここで用いる電流源回路のミスマッチ $\Delta I_D/I_D$ は次式で与えられる¹⁾。

$$\left(\frac{\Delta I_D}{I_D}\right)^2 = \left(\frac{\Delta\beta}{\beta}\right)^2 + \left(\frac{2\Delta V_{th}}{V_{gs} - V_{th}}\right)^2 \quad \beta = \mu C_{ox} \left(\frac{W}{L}\right) \quad (3 \cdot 1)$$

この式から、電流の相対精度を向上するためには閾電圧のばらつき ΔV_{th} を小さくする必要があるが、MOS トランジスタの微細化に伴い大きくなる傾向がある。そこで、このばらつきの影響を低減するために図 2-3 で示したように 10 ビット D/A 変換器では上位の 6~8 ビットをセグメント構成とした電流セルアレイ型が有効となる。このような電流セルアレイ型では線形誤差要因として次の 2 点が挙げられる。その一つが定電流源の出力抵抗によるものである。

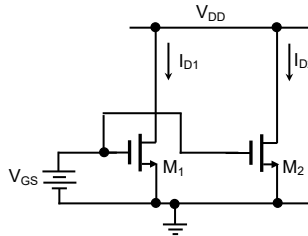


図 3-1 電流源回路のミスマッチ

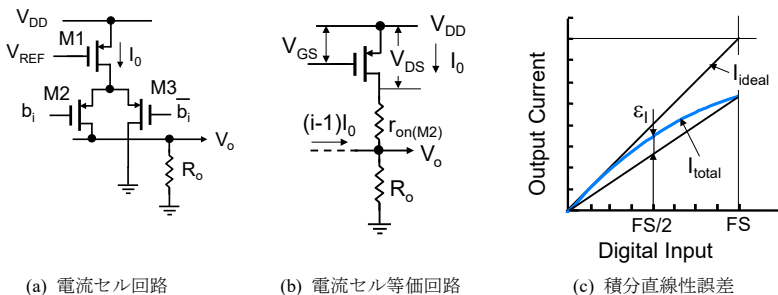


図 3-2 定電流源の出力抵抗による積分直線性誤差

図 3-2(a)に示した電流セルの出力が抵抗 R_o に接続されている場合を考える。デジタル入力が大きくなるにつれて負荷抵抗 R_o に流れる電流が増大し、出力電圧が大きくなる。このとき、

定電流源トランジスタ M_1 のドレイン-ソース間電圧 V_{DS} は小さくなるために出力電流 I_o が減少する。結果として、入出力特性は図 3・2(c) のように曲がり、積分直線性誤差の発生要因となる。その大きさはスイッチトランジスタ M_2 をオン抵抗 r_{on} で置き換えた図 3・2(b) の等価回路で計算すると、

$$I_o \approx \frac{\mu C_{ox}}{2} \frac{W}{L} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) = k_0 (1 + \lambda V_{DS})$$

$$I_{total} = \sum_{n=0}^N I_o \cdot n = \sum_{n=0}^N k_0 \{1 + \lambda (V_{DS}(0) - I_o R_o n)\} \cdot n \tag{3 \cdot 2}$$

$$= k_0 (1 + \lambda V_{DS}(0)) N - \frac{1}{2} \lambda k_0 I_o R_o N^2$$

から、

$$\epsilon_I \approx \frac{\lambda V_{o(FS)}}{8(1 + \lambda V_{DS}(0))} \tag{3 \cdot 3}$$

となる。ここで、 λ はチャネル長変調係数、 $V_{o(FS)}$ はフルスケールの出力電圧、 $V_{DS}(0)$ は出力が 0 のときのドレイン-ソース間電圧である。これより、微細化により λ が大きく、すなわち出力抵抗が小さくなると積分直線性誤差が大きくなってしまふ。これを避けるためには出力の電流-電圧変換に演算増幅器を用いるか、定電流トランジスタをカスコード接続にして出力抵抗を上げることが必要となる。

次に、プロセスの影響による積分直線性誤差について考える。電流セルは図 2・3 に示したように 2 次元のマトリクス状に配置されるが、各電流セルの大きさはプロセスの傾斜によりわずかに変化する。x と y 方向における傾斜係数を γ_x, γ_y 、セル間の距離を Δ_x, Δ_y とすると、マトリクスの (i, j) 番目にあるセル電流 $I_u(i, j)$ は、 \bar{I}_u をセル電流の平均値として次式で表される。

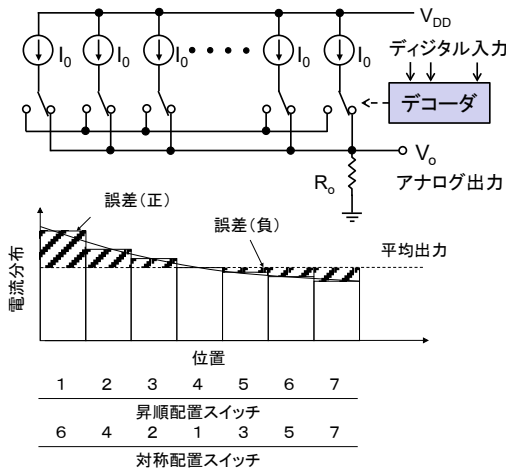


図 3・3 対象スイッチによる積分直線性誤差の改善

$$I_u(i, j) = \overline{I}_u (1 + i \cdot \gamma_x \Delta_x) (1 + j \cdot \gamma_y \Delta_y) \quad (3 \cdot 4)$$

これよりデジタル入力に対して順番に電流セルを選択していくと図 3・3 に示すように誤差が累積され大きな積分直線性誤差を生じてしまう。これを避けるために、セルの選択を行と列の両方向に対して対称に選択していく方法が一般的には用いられる⁴⁾。

■10 群-6 編-5 章

5-4 ダイナミックエレメントマッチング

(執筆著者：堀田正生) [2011年4月 受領]

D/A 変換器の高精度化を実現するためには、精度の高い 2 進化荷重信号の発生が鍵となる。そこで、電流加算型 D/A 変換器を考えたとき、2 進化荷重された電流あるいはセグメントの各電流の持つ誤差を平均化し、信号帯域での誤差を低減するダイナミックエレメントマッチングという方法が提案されている。

(1) ダイナミックエレメントマッチング方式

図 4・1 にダイナミックエレメントマッチング方式の構成図とタイミング図を示す⁵⁾。電流 $2I$ は分配器により $1/2$ ずつに分けられ I_1 と I_2 になるが、それぞれ $\pm \Delta I$ の誤差がある。これをスイッチにより切り替えて I_3 と I_4 を得て、これをローパスフィルタに通すことで $\pm \Delta I$ の誤差は平均化される。このとき、 I_3 と I_4 との誤差は、

$$\left| \frac{\Delta I_{3,4}}{I_{3,4}} \right| = \frac{\Delta t}{t} \frac{\Delta I}{I} \quad (4 \cdot 1)$$

となり、スイッチのデューティ比が等しければ式(4・1)のように非常に小さくなる。これを順に繰り返していけば高精度に 2 進化荷重電流を得ることができる。ただし、縦積み構成となるために低電源電圧には向かない。

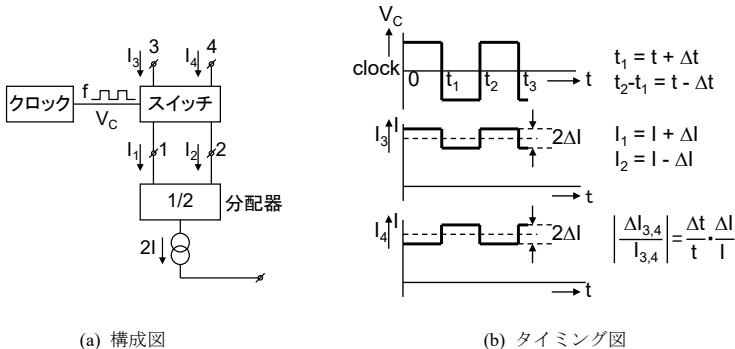


図 4・1 ダイナミックエレメントマッチング方式

(2) データ・ウエイトド・アベレージング (Data Weighted Averaging : DWA)

この方式は図 4・2(a)に示すように基本電流セルを円形状に接続し、デジタル値に応じた電流セルを順次選択するようにしたものである⁶⁾。例えば、図 4・2(a)では 8 個の電流セルが設けられており、それを図 4・2(b)のように順次選択されるとする。すなわち、最初のデジタル値が“4”であると、電流セルの 0, 1, 2, 3 の 4 個の電流が出力される。次のデジタル値が“3”であると、次からの電流セル 4, 5, 6 の 3 個の電流が出力される。これを円形状に接続された電流セルを回転するように順番に繰り返していく。最初の時間での誤差 $\Delta_1(k_1)$ 、及び、2 番目、3 番目の時間での誤差 $\Delta_2(k_2)$ 、 $\Delta_3(k_3)$ は、

$$\begin{aligned} \Delta_1(k_1) &= \delta I_0 + \delta I_1 + \delta I_2 + \delta I_3 \\ \Delta_2(k_2) &= \delta I_4 + \delta I_5 + \delta I_6 \\ \Delta_3(k_3) &= \delta I_7 + \delta I_0 \end{aligned}$$

となる。これを、 z 変換を用いて表せば、

$$\Delta_1(k_1) + \Delta_2(k_2)z^{-1} + \Delta_3(k_3)z^{-2}$$

となるが、ここで、

$$\sum_{i=0}^7 \delta I_i = 0$$

であるから、 $\Delta'_3(k_3) = \delta I_7$ と置くと、

$$\Delta_2(k_2) = -[\Delta_1(k_1) + \Delta'_3(k_3)]$$

を用いて、次式のようになる。

$$\begin{aligned} \Delta_1(k_1) + \Delta_2(k_2)z^{-1} + \Delta_3(k_3)z^{-2} \\ = -z^{-1}\Delta_1(k_1)(1-z^{-1}) + \Delta'_3(k_3)(1-z^{-1}) \end{aligned} \tag{4 \cdot 2}$$

これより、各電流セルの持つ誤差は 1 次のノイズシェーピングにより、サンプリング周波数に対して低域の信号帯域では誤差が低減されることが分かる。

この方式は低ビットであるが高精度が必要とされる D/A 変換器に有効で、マルチビット $\Delta\Sigma$ A/D 変換器の内部 D/A 変換器によく用いられる⁷⁾。

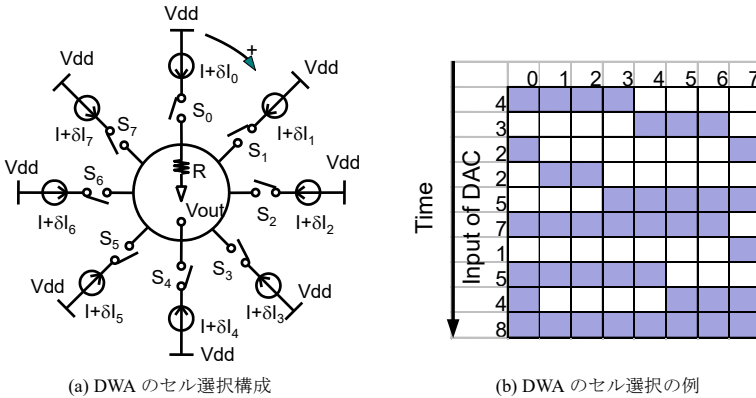


図 4・2 DWA 方式の構成とセル選択の例

■参考文献

- 1) F. Maloberti : “Data Converters,” Springer, SBN 978-0-387-32485-2, 2008.
- 2) K. Maio, S. Hayashi, M. Hotta, T. Watanabe, S. Ueda, and N. Yokozawa : “A 500-MHz 8-Bit D/A Converter,” IEEE Journal of Solid-State Circuits, vol.SC-20, no.6, pp.1133-1137, Dec. 1985.
- 3) J.A. Schoeff : “An Inherently Monolithic 12b DAC,” ISSCC Digest of Technical Papers, pp.178-179, Feb. 1979.

- 4) T. Miki, Y. Nakamura, M. Nakaya, S. Asai, Y. Akasaka, and Y. Horiba : “An 80-MHz 8-bit CMOS D/A Converter,” IEEE Journal of Solid-State Circuits, vol.SC-21, no.6, Dec. 1986.
- 5) R.J. Van De Plassche and D. Goedhart : “A Monolithic 14-Bit D/A Converter,” IEEE Journal of Solid-State Circuits, vol.SC-14, no.3, pp.552-556, June. 1979.
- 6) H. San, H. Kobayashi, S. Kawakami, and N. Kuroiwa : “A Noise-Shaping Algorithm of Multi-bit DAC Nonlinearities in Complex Bandpass DSAD Modulators,” IEICE Trans. Fundamentals, vol.E87-A, no.3, Mar. 2004.
- 7) L. Dorrer, F. Kutter, P. Greco, and S. Derkson : “A 3mW 74 dB SNR 2MHz CT $\Delta\Sigma$ ADC with a Tracking-ADC-Quantizer In 0.13 μm CMOS,” ISSCC Digest of Technical Papers, pp.492-493, Feb. 2005.