

■S2 群（ナノ・量子・バイオ）－1 編（デバイスの微細化限界とその物理）

3 章 微細デバイスの諸問題

【本章の構成】

本章では以下について解説する．

- 3-1 短チャネル効果
- 3-2 特性ばらつき
- 3-3 ノイズ
- 3-4 信頼性

■S2 群－1 編－3 章

3-1 短チャネル効果

(執筆者：小林正治) [2015 年 8 月 受領]

現代の高度情報化社会を支える電子デバイスには高集積回路が搭載されている。この高集積回路はシリコンチップ上に形成され、現在、億を超える数のトランジスタが集積された複雑な回路で構成されている。トランジスタとしてシリコン MOSFET が開発されて以降、S2 群 1 編 1 章で説明されたように、これまでムーアの法則と呼ばれる経済法則に促されて、半導体業界は集積回路チップの単位面積当たりのトランジスタ数を増大させるべく微細加工技術を精練させてきた。また、トランジスタの微細化は、デナードの法則と呼ばれる物理法則によって、動作速度の向上・低消費電力化を両立できることも裏付けられていた。

しかし、MOSFET の微細化が進められ、チャネル長が数マイクロメートルまたはそれより短くなるにつれて、長チャネル MOSFET で予測されていた特性とは異なる現象が観測されるようになる。MOSFET のチャネル長が短くなることにより静電特性に現れる諸現象をまとめて短チャネル効果と呼ぶ。ゲート長が 100 nm よりも短くなった現在、所望の集積回路動作を実現させるためには、この短チャネル効果を抑制することが微細化技術の最重要課題である。

本節では、MOSFET の短チャネル効果の諸現象とその代表的な対策方法について説明する。

3-1-1 短チャネル効果の諸現象

(1) しきい値電圧低下

狭義での短チャネル効果は、ゲート長を短くしていったときの MOSFET のしきい値電圧 (V_{th}) の低下を指す。 V_{th} をゲート長に対してプロットしたときに見られる短チャネル領域での V_{th} の低下のことを V_{th} ロールオフと呼ぶ。この V_{th} の低下はそれを表す解析式

$$V_{th} = V_{th0} + 2\psi_B + Q_B / C_{ox} \quad (1 \cdot 1)$$

から理解することができる。ここで V_{th0} , ψ_B , Q_B , C_{ox} はそれぞれフラットバンド電圧、フェルミポテンシャルと真性フェルミポテンシャルの差、単位面積当たりの空乏層電荷、単位面積当たりのゲート絶縁膜容量を表す。図 1・1 (a) と (b) に MOSFET の断面図と、長チャネルと短チャネルの場合の V_{th} 近傍での空乏層の境界線を表す模式図を示す。

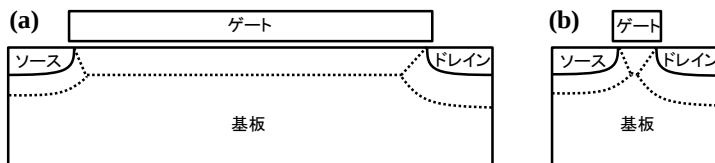


図 1・1 長チャネル(a)と短チャネル(b)の場合の空乏層チャージシェアリングの様子

チャネル領域の空乏層をゲート、ソース、ドレインが取り合っているとみることができ、この 2 次元的な空乏層電荷の取り合いをチャージシェアリングと呼ぶ。長チャネルではゲート直下の空乏層はほとんどゲート制御によるものであるのに対して、短チャネルではソース

とドレイン、特に逆バイアス状態にあるドレインからの空乏層が広がり、ゲートが制御できる空乏層の大きさが相対的に減少することがわかる。このチャージシェアリングの考え方により、短チャネルでは式(1・1)右辺の第3項で Q_B/C_{ox} が長チャネルに比べて小さくなるため V_{th} が低下する。

(2) DIBL (Drain Induced Barrier Lowering)

理想的な長チャネル MOSFET の V_{th} はソース近傍のシリコン基板のチャネル部のポテンシャルがソースの電位に対して十分に曲がり、チャネルが反転状態になるときのゲート電圧で決まる。しかし、先に述べたように、短チャネル MOSFET の場合、ドレインからの空乏層が広がり電気力線がゲート下の領域にまで伸びてくる。その結果、図 1・2 に示すようにソース近傍のシリコン基板のポテンシャルがドレインからの電気力線によって引き下げられ反転しやすくなり、 V_{th} が低下する。このドレイン電圧印加による MOSFET の V_{th} の低下を DIBL (Drain Induced Barrier Lowering) と呼ぶ。この現象が起こると図 1・3 の(a)に示すように I_d - V_g 特性が低電圧側にシフトし、オフリーク電流が増大してしまう。また、 I_d - V_d 特性においても飽和電流の傾きが大きくなり、出力抵抗が減少してしまう。

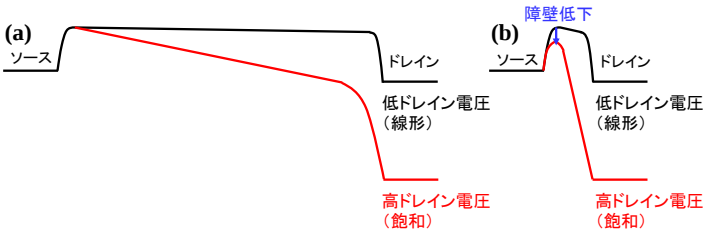


図 1・2 長チャネル(a)と短チャネル(b)の場合のチャネル方向で見たバンドダイアグラム

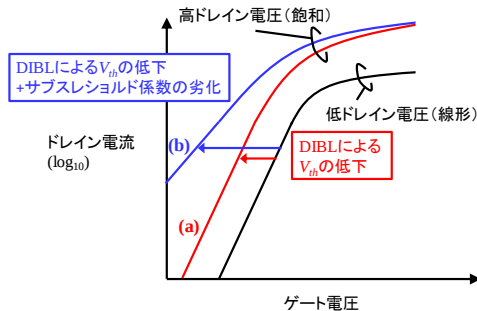


図 1・3 高ドレイン電圧での短チャネル MOSFET の I_d - V_g 特性

(3) サブスレショルド係数の劣化

短チャネル MOSFET では図 1・3 の(b)に示すように、サブスレショルド領域の電流立ち上がり係数であるサブスレショルド係数にも劣化が見られる。この現象は図 1・1 (b)に示したように、ドレインからの空乏層の広がりが顕著になり、ソースとドレイン間で MOS 界面よりも深い領域でリーク電流パスができてしまうパンチスルーが起こることが主な原因である。

パンチスルーが起こるとサブスレシヨルド領域でのゲートによる電位の制御が弱くなってしまいサブスレシヨルド係数が劣化する。

(4) 基板バイアス係数の劣化

MOSFET には 4 つ目の端子として基板端子があり、基板電位によってシリコン基板の電位を変化させることができるため、動的に MOSFET の V_{th} を調整することができる。このことは回路動作において大変有用である。基板バイアスを印加すると空乏層幅を変化させることで式(1・1)の Q_B が変化し、 V_{th} が変化する。具体的には、逆バイアスで Q_B が大きくなり V_{th} が上がり、順バイアスで Q_B が小さくなり V_{th} が下がる。印加した基板バイアスに対する V_{th} の変化割合 $\Delta V_{th} / \Delta V_{bs}$ を表すのが基板バイアス係数である。先の V_{th} 低下の説明と同様に、基板バイアス係数についても、短チャネルにおいては基板電位によるチャネル領域の空乏層電荷の変化量が相対的に減少してくるため、基板バイアス係数は小さくなる。

3-1-2 短チャネル効果の対策

(1) チャネルドーピング

短チャネル効果による V_{th} の低下を抑えるためにはチャージシェアリングの観点からはゲート制御の空乏層の面積を相対的に大きくする必要がある。この目的で有効な方法がチャネルのドーピング濃度のエンジニアリングである。最もシンプルな方法は、図 1・4(a) に示すように MOSFET の活性領域の表面にドーピングを行い、基板濃度を高めて空乏層幅を短くすることである。しかし、この方法ではすべてのチャネル長において V_{th} が大きくなってしまいう問題がある。また、S2 群 1 編 3 章 3-2 で説明されるようにチャネルの不純物濃度が高いと V_{th} のばらつきが大きくなってしまいう問題がある。加えて、サブスレシヨルド係数は $S=2.3(kT/q)(1+C_{dm}/C_{ox})$ で表されるため、基板濃度を上げると空乏層容量 C_{dm} が相対的に大きくなり、サブスレシヨルド係数が大きくなってしまいう。最後に、チャネルの高不純物濃度化は、イオン化不純物散乱によるキャリアの移動度劣化にもつながる。

そこで次に考えられるのが、図 1・4(b) に示すように、チャネルの表面ではなく表面から少し離れた領域の不純物濃度を高くする方法である。この不純物プロファイルはレトログレードプロファイルとも呼ばれ、チャネルの表面の不純物濃度を低く保てるため V_{th} が上がり過ぎず、かつ空乏層の伸びが高濃度領域で止まるために短チャネル効果抑制に効果的である。

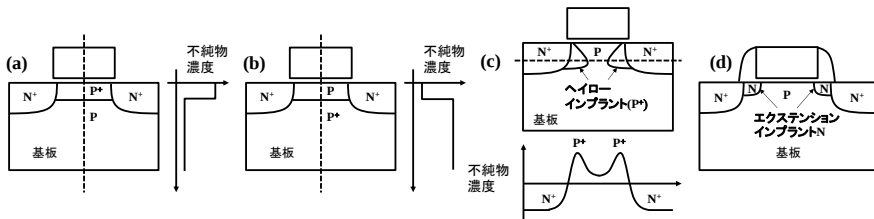


図 1・4 短チャネル効果抑制のためのドーピング手法

以上の 2 つの方法はゲートを加工する前に基板に不純物を導入することで、基板に垂直な方向に不純物濃度分布をエンジニアリングする方法であったが、横方向、つまりチャネルの方向に不純物濃度分布を持たせる方法がある。それは、図 1・4(c) に示すようにソース・ドレ

インの形成と同様にゲートを加工した後に斜め方向からイオンインプランテーションを行い、チャンネル表面より奥の領域でソースとドレインの接合付近に局所的に不純物濃度が高い領域を形成する方法であり、ヘイローまたはポケットインプラントと呼ぶ。この方法を用いることでドレインからの空乏層の伸びを抑えることができる。さらに、短チャンネルになるほどこの局所的な高濃度領域が互いに交わるようになり、短チャンネル MOSFET でのチャンネル濃度が実効的に高くなる。そのためヘイローインプラントを適切に設計することで V_{th} ロールオフを補償することができ、広いゲート長の範囲で均一な V_{th} が得られる。

(2) ソース・ドレインの浅接合化

ソース・ドレインではシリコン基板の表面から離れたところに PN 接合を持つ。この PN 接合がチャンネル表面から深い領域にあるとゲート制御の及ばないところでドレインから空乏層が伸びてしまい短チャンネル効果を助長してしまう。そのため先端 CMOS 技術ではソース・ドレインの PN 接合をなるべく浅く形成する。このときソース・ドレインの拡散領域全体を浅接合にすると抵抗が大きくなってしまいますので、通常は図 1・4(d) に示すようにスペーサの下にエクステンションと呼ばれる浅接合を形成し、スペーサの外には深い接合を形成することで、拡散領域の抵抗をなるべく上げないよう設計がなされる。

(3) ゲート絶縁膜の薄膜化

式(1・1)の右辺第 3 項を見てわかるように、 V_{th} に影響を与えるファクタとしては、チャンネル領域の空乏層電荷とは独立に、ゲート絶縁膜容量 C_{ox} がある。この C_{ox} を大きくすることによってチャンネルとゲートの容量結合を支配的にすることで短チャンネル効果を抑制することができる。最もシンプルな方法はゲート絶縁膜を薄くして C_{ox} を大きくする方法である。しかし 1~2 nm の膜厚になるとゲート酸化膜である SiO_2 でのトンネルリーク電流が増大するため、膜厚のほかに絶縁膜の誘電率を高める方法もとられるようになった。はじめは窒素を添加した $SiON$ で、最近では HfO_2 などの金属酸化膜をゲート絶縁膜とするいわゆる high- κ 絶縁膜技術が開発され、先端 CMOS 技術では使用されている。ところでポリシリコンゲートを用いる場合、ポリシリコンは高濃度にドーピングされているが空乏化するため、実際のゲート絶縁膜容量にはポリシリコンの空乏層容量が直列で接続されている。したがって、実効的なゲートとチャンネルの容量結合はポリシリコンの空乏層容量分弱くなる。この問題は high- κ 技術とともに最近採用されているメタルゲート技術によって解消される。

(4) SOI およびマルチゲート MOSFET

以上述べてきたように、プレーナ型バルク MOSFET ではドーピング濃度・プロファイルやゲート絶縁膜を制御することで短チャンネル効果を抑制してきた。一方、MOSFET の更なる低消費電力が求められるようになり、電源電圧の更なる低下が不可欠となってきた。チャンネル長が 100 nm より短くなるとプレーナ型バルク MOSFET で短チャンネル効果を抑えることが難しく、一般的に V_{th} が高くサブスレショルド係数が大きい特性になってしまう。そこで、低電源電圧化に向けてチャンネル構造をエンジニアリングする手法がとられる。まず、SOI 基板を用いてシリコン層の膜厚を薄くし、シリコン全体を空乏化させる完全空乏型 SOI (FDSOI) MOSFET が用いられた。FDSOI MOSFET ではチャンネルドーピングをせずに短チャンネル効果が抑えられ、サブスレショルド係数も小さく、低消費電力動作に向いている。MOSFET のゲート制御性を更に高めるために基板側にもゲートを設けたダブルゲート MOSFET や、シリコンの活性領域をフィン状に加工してゲートが上部と側面の 3 面を囲むトライゲート MOSFET、

更にはシリコンを中空のナノワイヤに加工して，ゲートがナノワイヤを全面囲むゲートオールアラウンド MOSFET といったマルチゲート MOSFET が先端 CMOS 技術に採用され始めている．詳細は S2 群 1 編 3 章 4-1 および 4-2 を参照してほしい．

■参考文献

- 1) Y. Taur and T. H. Ning : “Fundamentals of Modern VLSI Devices” , Cambridge University Press, 2009.
- 2) 岸野正剛，小柳光正 : “VLSI デバイスの物理”，丸善, 1995.
- 3) 小柳光正 : “サブミクロンデバイス I”，丸善, 1993.

■S2 群-1 編-3 章

3-2 特性ばらつき

(執筆: 松川 貴) [2015 年 8 月受領]

3-2-1 バルクプレーナ MOSFET におけるばらつき顕在化と FinFET 導入のメリット

短チャネル効果と並んで、トランジスタの寸法の微細化とともに大きな問題となっているのが、特性ばらつきの問題である。特性ばらつきは主として、製造プロセス上の不均一性に起因するウェハ間・ウェハ内ばらつきと、ごく近接させた全く同じ寸法のトランジスタ同士であっても発生するランダムばらつきに大別される¹⁾。本節では、トランジスタの構成要素のランダム性に起因し、トランジスタ寸法の微細化により特に顕在化するランダムばらつきに主眼をおいて解説する。

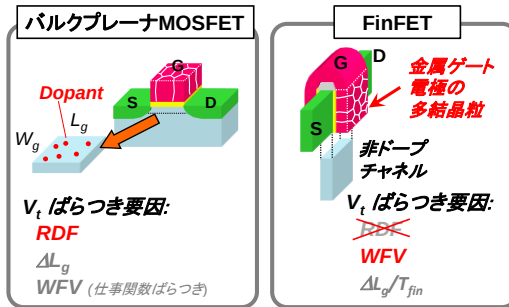


図 2・1 バルクプレーナ MOSFET と FinFET の特性ばらつき要因

図 2・1 に示すようなバルクプレーナ MOSFET において、ゲート長 (L_g)、チャネル幅 (W_g) を縮小すると、しきい値の決定に寄与するドーパントの数は、チャネル面積 ($L_g W_g$) に比例して縮小する。たとえば $L_g = 65 \text{ nm}$ 、 $W_g = 100 \text{ nm}$ 、基板不純物濃度 10^{18} cm^{-3} の場合、ゲート下の空乏層厚 30 nm に含まれる不純物数 N は、約 200 個となる。多数個の同一設計寸法のトランジスタに同様に含まれるドーパント原子数はポアソン分布に従い、平均値 N に対して、標準偏差 $\sqrt{N}$ のばらつきを持つ。したがって、上記寸法のトランジスタにおいては、ばらつき割合 $\sqrt{N}/N$ は、7%程度となり、既に無視できない程度のばらつきとなる。トランジスタ寸法縮小に伴い、しきい値を決定づけるドーパント原子数 N の減少を反映して、トランジスタのしきい値ばらつき σ_{V_t} は、

$$\sigma_{V_t} = A_n / \sqrt{2L_g W_g} \quad (2 \cdot 1)$$

に従って増加する^{1)~3)}。 $1/\sqrt{L_g W_g}$ の増加に対する比例係数 A_n は Pelgrom 係数として知られ²⁾、

トランジスタの作製テクノロジー固有のばらつき強度の指標として広く用いられている。バルクプレーナ MOSFET では、短チャネル効果を防止するためにゲート電極下には一定量の不純物ドーピングが必須であり、ランダムなドーパント個数ばらつき (Random Dopant

Fluctuation : RDF) に起因する特性ばらつきが、トランジスタの微細化を進めるうえでの深刻な問題となってきた。

バルクプレーナ MOSFET で深刻になっていた、短チャネル効果に起因するオフリーク電流の改善のために導入された FinFET⁴⁾⁵⁾ は、チャネル中の不純物ドーピングを必要としないという特長も持ち合わせる。このため図 2・1 に示したように、バルクプレーナ MOSFET における主要な特性ばらつき原因であった RDF が、FinFET においては基本的に排除できることになる。したがって、FinFET においてはバルクプレーナ MOSFET に比べ、特性ばらつきも有効に抑制でき、実際に低ばらつき実現のメリットも報告されている⁹⁾。

一方で、RDF を解消しても FinFET において一定の特性ばらつきは残存し、ゲート電極を構成する多結晶金属の仕事関数ばらつき (Work function variation : WFV) が残存する特性ばらつきの主要因であることが知られている^{7~9)}。多結晶金属においては、結晶粒ごとに配向が異なる場合、結晶粒ごとに異なる仕事関数値を持つ。また、結晶粒の大きさは、数 nm から 10 nm 程度であり⁸⁾、FinFET が導入された技術世代のゲート長 (30 nm 以下) に比べ無視できない大きさである。結晶粒の配向、位置、大きさはランダムであり、このため RDF を排除した後にランダムばらつき要因として顕在化する。

今後も最先端 CMOS で活用される FinFET において仕事関数起因のばらつきを低減する技術について、以下に概説する。

3-2-2 FinFET における WFV 起因ばらつきの抑制技術

ゲート電極に使用される多結晶金属の配向性は、金属膜が成長する下地の平坦性に大きく影響を受ける。特に、反応性イオンエッチング (RIE) により加工された Fin の側壁をチャネルとして活用する FinFET においては、Fin 側壁の平坦性が多結晶金属ゲートの特性に大きな影響を与えると考えられる。そこで、図 2・2 に示すように、RIE により加工された fin と、異方性ウェットエッチングによる Si(111) の平坦化現象を利用した理想的形状を持つ fin について、同じく多結晶金属である TiN をゲート電極として成膜し、FinFET の特性ばらつきを比較した^{10),11)}。RIE 加工による FinFET では、TiN ゲートが形成されている fin 側壁に細かい凹凸が見られるが、異方性ウェットエッチングによる FinFET では、理想的に平坦な fin 側壁上に

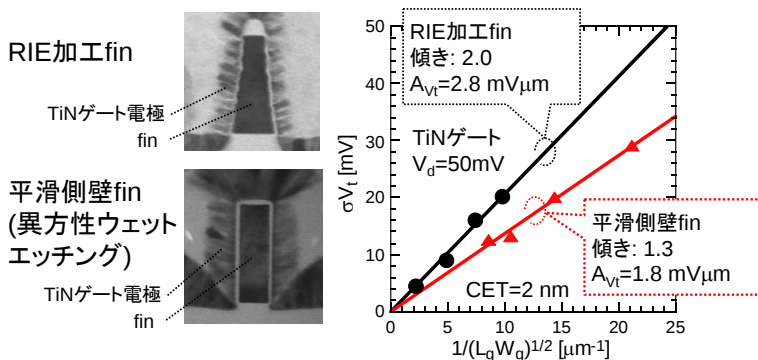


図 2・2 FinFET の側壁平滑化と特性ばらつきへの影響

TiN ゲートが形成されている。どちらの FinFET においても、TiN 電極には明瞭な結晶粒が見られる。それぞれの FinFET について、様々な L_g , W_g の場合のしきい値のばらつき (σV_t) を測定し、Pelgrom Plot としてばらつき強度の比較を行った。その結果、平滑な fin 側壁を持つ FinFET において特性ばらつきが改善していることがわかる。この原因としては、平滑な下地上に成長した TiN 電極は、揃った配向の結晶粒で構成され、結果として結晶粒ごとの WFV が低減しているものと考えられる。このような fin 側壁平滑化による特性ばらつき低減効果は、RIE で形成された fin に対してイオンミリングによる側壁平滑化を行った場合においても観測されている¹²⁾。

また、金属ゲート電極における結晶粒そのものの影響を排除することも、WFV の抑制には極めて有効である。非晶質状態で熱的に安定であり、金属ゲート電極への適用可能な材料として、TaSiN が報告されている¹³⁾。そこで、図 2・3 に示すように、TaSiN をゲート電極として FinFET に導入し、多結晶 TiN ゲートの場合と比較を行った¹⁴⁾。TiN ゲート電極の場合、結晶粒が明瞭に見られ、電子線回折も多結晶を反映する回折スポットパターンを示す。一方、TaSiN ゲート電極の場合、電極部分に結晶粒は認められず、電子線回折も非晶質を反映するリング状の回折パターンを示すのみである。このような多結晶 TiN ゲート電極と非晶質 TaSiN ゲート電極を有する FinFET の特性ばらつきを測定、比較した結果を図 2・4 に示す。非晶質金属ゲートの導入によりしきい値ばらつきは顕著に減少し、ばらつき抑制効果は図 2・2 に示

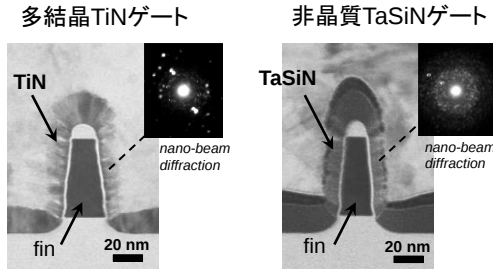


図 2・3 多結晶金属と非晶質金属をゲート電極に導入した FinFET の比較

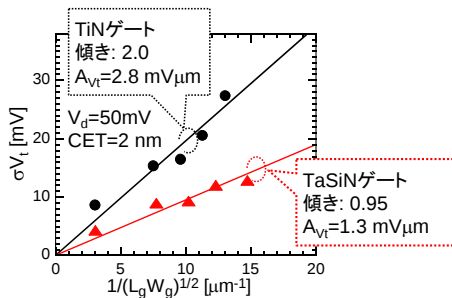


図 2・4 非晶質金属ゲート電極による FinFET のばらつき低減効果

した **fin** 側壁平滑化によるものよりも大きい。このことは、**WVF** が結晶粒により発生し、非晶質化により結晶粒の影響排除が特性ばらつきの抑制には極めて有効であることを示している。

非晶質ゲート導入により **WVF** を抑制した後も残存する特性ばらつきについては、以下のように考えることができる。**RDF** の影響のない、非ドープチャネルを持つ **FinFET** の特性ばらつきは、**WVF**、界面準位電荷密度 (N_{it}) のばらつき、ゲート絶縁膜中の固定電荷密度 (N_{ox}) のばらつきに起因すると考えられ、それぞれが独立にばらつくため、以下の誤差伝搬の式で与えられる¹⁴⁾。

$$\sigma_{Vt}^2 = \sigma_{WVF}^2 + \frac{q^2 T_{ox}^2}{\epsilon_{ox}^2} \frac{N_{it} + N_{ox}}{W_g L_g} \quad (2 \cdot 2)$$

第1項の σ_{WVF} は、**WVF** に起因して発生するしきい値ばらつきを示す。**WVF** を抑制しても、第2項のゲート絶縁膜に関わる離散電荷 (N_{it} , N_{ox}) に起因する特性ばらつきが残存することがわかる。一方で第2項の離散電荷に起因するばらつきは、ゲート絶縁膜厚 (T_{ox}) をスケールリングすることにより低減することができる。図 2・5 に、これまで **FinFET** に関して報告されている A_{vt} 値とゲート絶縁膜の値を比較する^{8),10),15)~17)}。 A_{vt} 値はしきい値ばらつきに相当する。多結晶金属に関する報告値は、ゲート絶縁膜スケールリングにより A_{vt} 値が減少するトレンドを示す。このトレンドに対して、非晶質金属ゲート導入による **WVF** 抑制は、同じゲート絶縁膜厚においてばらつき低減効果を示す。したがって、**WVF** を抑制しつつ、ゲート絶縁膜のスケールリングを進めることにより、今後のトランジスタの更なる微細化に対応したばらつき抑制が実現できるものと考えられる。

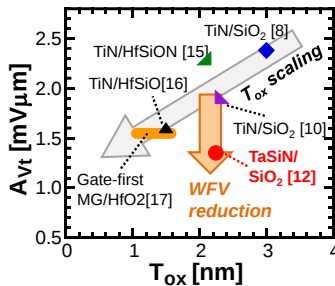


図 2・5 FinFET 特性ばらつきの報告例とゲート絶縁膜厚スケールリングの影響

■参考文献

- 1) 竹内 潔：“微細 MOS トランジスタの特性ばらつき,” 応用物理, 第 78 巻, pp.843-849, 2009.
- 2) M.J.M. Pelgrom et al.：“Matching properties of MOS transistors,” IEEE J. Solid-State Circuits, 24, pp.1433-1440, 1989.
- 3) K. Takeuchi et al.：“Channel Engineering for the Reduction of Random-Dopant-Placement-Induced Threshold Voltage Fluctuation,” IEDM Tech. Dig., pp.841-844, 1997.
- 4) D. Hisamoto et al.：“FinFET—A self-aligned double-gate MOSFET scalable to 20 nm,” IEEE Trans. Electron Devices, 47, pp.2320-2325, 2000.
- 5) C. Auth et al.：“A 22nm High Performance and Low-Power CMOS Technology Featuring Fully-Depleted

- Tri-Gate Transistors, Self-Aligned Contacts and High Density MIM Capacitors,” VLSI Tech., pp.131-132, 2012.
- 6) S. Natarajan et al. : “A 14nm Logic Technology Featuring 2nd-Generation FinFET Transistors, Air-Gapped Interconnects, Self-Aligned Double Patterning and a 0.0588 μm^2 SRAM cell size,” IEDM Tech. Dig., pp.71-73, 2014.
 - 7) K. Ohmori et al. : “Impact of Additional Factors in Threshold Voltage Variability of Metal/High-k Gate Stacks and Its Reduction by Controlling Crystalline Structure and Grain Size in the Metal Gates” , IEDM Tech. Dig., pp.409-412 (2008)
 - 8) T. Matsukawa et al. : “Comprehensive Analysis of Variability Sources of FinFET Characteristics,” VLSI Tech., pp.118-119 (2009)
 - 9) K. Endo et al. : “Variability Analysis of TiN Metal-Gate FinFETs,” IEEE Electron Device Letters., 31, pp.546-548, 2010.
 - 10) Y. Liu et al. : “Variability Analysis of Scaled Crystal Channel and Poly-Si Channel FinFETs,” IEEE Trans. Electron Devices, 59, pp.573-581, 2012.
 - 11) T. Matsukawa et al. : “Decomposition of On-Current Variability of nMOS FinFETs for Prediction Beyond 20 nm,” IEEE Trans. Electron Devices, 59, pp.2003-2010, 2012.
 - 12) T. Matsukawa et al. : “Variability Suppression of FinFETs by Smoothing Sidewall Roughness Using Ion Beam Etching Technology,” Proc. 2015 Silicon Nanoelectronics Workshop, pp.9-10, 2015.
 - 13) Y.-S. Suh et al. : “Characteristics of TaSi_xN_y thin films as gate electrodes for dual gate Si-complementary metal-oxide-semiconductor devices,” J. Vac. Sci. Technol. B22, pp.175-179, 2004.
 - 14) T. Matsukawa et al. : “Suppressing V_t and G_m Variability of FinFETs Using Amorphous Metal Gates for 14 nm and Beyond,” IEDM Tech. Dig., pp.175-178, 2012.
 - 15) M. Fulde et al. : “A 10-Bit Current-Steering FinFET D/A Converter,” Proc. IEEE Int. SOI Conf., pp.95-96, 2008.
 - 16) T. Chiarella et al. : “Benchmarking SOI and bulk FinFET alternatives for PLANAR CMOS scaling succession,” Solid State Electron., 54, pp.855-860, 2010.
 - 17) C.-H. Lin et al. : “Channel Doping Impact on FinFETs for 22nm and beyond,” VLSI Tech., pp.15-16, 2012.

■S2 群－1 編－3 章

3-3 ノイズ

(執筆者：渡邊孝信) [2015 年 8 月 受領]

ノイズは理想的な電気信号に重畳される余計な変動であるが、MOSFET に起因するノイズの時定数は幅広く分布し、ノイズとデバイスの経時劣化の境界ははっきりしていない。現在大きな問題となっているランダムテレグラフノイズ (Random Telegraph Noise : RTN) ¹⁾ は、時定数が数時間以上に及ぶことがあり、そのような緩慢な変動はむしろ静特性の経時変化と呼ぶほうが相応しい。近年注目されている説 ²⁾ では、バイアス温度不安定性 (Bias Temperature Instability : BTI) の微視的機構が RTN と同じ機構で説明されており、物理モデルの観点からもノイズと経時劣化は互いに密接した関係にある。

MOSFET における RTN は、図 3・1 に示すように、ゲート絶縁膜中でキャリアの捕獲と放出が繰り返されることでチャネル伝導度が不連続に変化する現象である ¹⁾。大部分の RTN の時定数は μs 以上であり、デジタル回路のクロック周期 ($\sim\text{ns}$) と比べて遅い。つまり、同一のデバイスの特性がスイッチング動作ごとに変化して見えることになる。ゲート絶縁膜容量を $C_{ox}LW$ と表すと、キャリア 1 個の出入りに伴うしきい値電圧の変動幅はおよそ $|\Delta V_{th}| \approx q/C_{ox}LW$ で与えられ、デバイスサイズ LW が小さくなるほど顕在化する ³⁾。RTN はまずフラッシュメモリの信頼性の問題として表面化し ⁴⁾、その後 SRAM のノイズマージンを減少させる要因としてクローズアップされるようになった ⁵⁾。

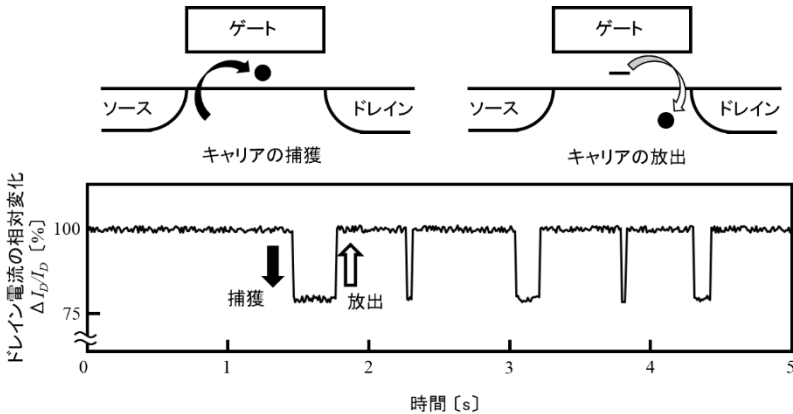


図 3・1 ランダムテレグラフノイズ (RTN)

RTN は後述するように $1/f$ ノイズ ($1/f$ noise) とも呼ばれる。MOSFET が発する代表的なノイズとしてほかに熱ノイズ (thermal noise) がある。熱ノイズは熱平衡状態におけるキャリアのランダムな動きに起因するノイズである。ただし、微細 MOSFET のチャネルは熱平衡状態からほど遠いため、非熱平衡雑音であるショットノイズ (shot noise) と一緒にして熱/ショットノイズ (thermal/shot noise) とも呼ばれる。

3-3-1 パワースペクトル密度によるノイズの分類

ノイズは一般に規則性が乏しい波形を呈するため、定常確率過程の自己相関関数で特徴づけられる。ウィーナー - ヒンチンの定理 (Wiener-Khintchine's theorem) より、自己相関関数のフーリエ変換はパワースペクトル密度 (Power Spectral Density : PSD) と関係づけられる¹⁾。

$$S(f) = 2 \int_{-\infty}^{+\infty} \langle \Delta x(t) \Delta x(t + \tau) \rangle e^{i2\pi f \tau} d\tau \quad (3 \cdot 1)$$

$S(f)$ が PSD, すなわち単位周波数当たりの信号のパワーを表す量である。 $\Delta x(t)$ が電流ノイズを表すとき、PSD の単位は A^2/Hz となる。電圧ノイズでは V^2/Hz となる。正と負の周波数をあえて区別する場合は、式 (3・1) の右辺の係数 2 を除いた式で定義される。

図 3・2 に MOSFET のノイズの PSD を示す。 $1/f$ ノイズはその名のとおり、周波数 f にほぼ反比例する PSD を持つ。低周波数領域で強度が大きいことから低周波ノイズ (Low Frequency Noise : LFN) とも呼ばれる。熱ショットノイズは、遮断周波数 ($kT/h \approx 6 \text{ THz}$) 以下の広い周波数領域にわたって一様な PSD を示すノイズで、白色ノイズ (white noise) とも呼ばれる。 $1/f$ ノイズと白色ノイズの PSD が等しくなる周波数をコーナー周波数 (corner frequency) と呼ぶ。コーナー周波数が低いデバイスほどノイズが少ない“静かな”デバイスといえる。微細 MOSFET のコーナー周波数は MHz~GHz の領域に位置する²⁾。

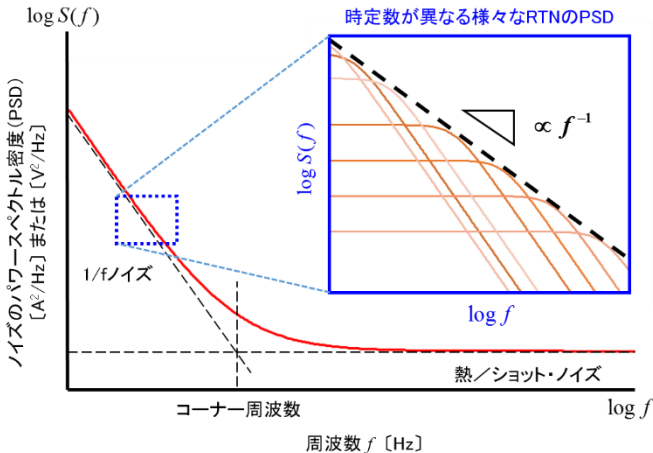


図 3・2 MOSFET のノイズのパワースペクトル

3-3-2 $1/f$ ノイズと RTN

$1/f$ ノイズはフリッカーノイズ (flicker noise) とも呼ばれ、自然界の様々な現象で見られるノイズである。MOSFET で観測される $1/f$ ノイズはチャネル抵抗の時間変化に起因し、図 3・2 の挿入図に示すように多くの RTN 成分の重ね合わせとみなされている³⁾。

RTN の PSD はローレンツ型の関数

$$S(f) = \frac{2(\Delta x)^2 \tau}{4 + (2\pi f \tau)^2} \quad (3 \cdot 2)$$

で与えられる¹⁾。 τ はキャリアの捕獲および放出状態の平均持続時間である。キャリアの捕

獲および放出がトンネル過程で起こると仮定すると、 τ はゲート酸化膜とチャネルの界面から距離に応じて指数関数的に減少する。捕獲サイトが酸化膜中に一様に分布すると仮定すると、式(3・2)の PSD の統計平均が近似的に $1/f$ に比例することが示される⁹⁾。

NMOS と PMOS の $1/f$ ノイズを比較すると、PMOS で埋め込みチャネルが用いられた時代では NMOS のノイズの方が大きかった。しかし、近年の微細デバイスにおいては PMOS の RTN の方が NMOS より大きいことが報告されている⁹⁾。

$1/f$ ノイズの物理モデルには2種類ある。捕獲電荷の有無によるチャネルのキャリア数ゆらぎ(number-fluctuation)に帰するモデル⁹⁾と、チャネル内の移動度ゆらぎ(mobility-fluctuation)に帰するモデル¹⁰⁾である。両モデルの間で長年議論が続いたが、双方を支持する実験事実があることから、現在は両者の統一モデル¹¹⁾が標準となっている。

3-3-3 微細 MOSFET の RTN

微細 MOSFET では、デバイス 1 つ当たりの酸化膜捕獲電荷の数が減少するため、RTN 特有の離散的な振幅を持つ波形が直接観測できる。そのため、ディジタル回路における低周波ノイズの影響を議論する場合は、RTN 振幅の統計分布で評価されることが多い。

捕獲電荷の有無は、チャネル中のランダムドーパントゆらぎ(Random Dopant Fluctuation : RDF)と似た効果を引き起こす³⁾。すなわち、電荷の捕獲あるいは放出によってチャネル内のポテンシャル分布が変化すると、チャネル内の電流経路に影響し、チャネル伝導度が変化する。その程度はドーパント分布に左右され、捕獲電荷の位置によってチャネル伝導度が大きく変わるケースもあれば、ほとんど変わらないケースもある。チャネルに不純物イオンが含まれない完全空乏型(Fully Depleted : FD)チャネルデバイスでは、極端に RTN 振幅が大きくなるワーストケースの出現確率が抑制され、図 3・3 に示すようにばらつきの抑制に顕著

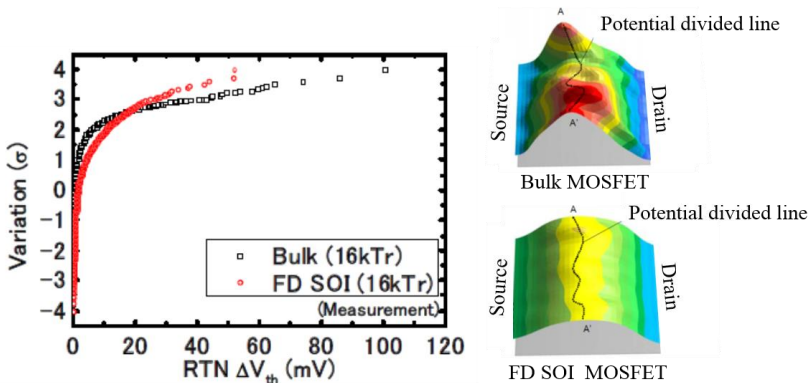


図 3・3 バルク MOSFET および完全空乏型 (FD) SOI MOSFET の RTN の比較¹²⁾

グラフの横軸は実際に観測された RTN によるしきい値シフト (ΔV_{th})を示し、縦軸はそれらの観測値が正規分布に従って出現すると仮定した場合の偏差を表す。プロットが横に広がるほどばらつきが大きい。グラフの直線性は正規分布との相関を示すが、この場合は正規分布からかなり逸脱している。右図はチャネル内のポテンシャル分布の例。

(Copyright © 2011 IEEE)

な効果がある¹²⁾。同様の効果は FinFET における金属ゲートの仕事関数ばらつきでも観測されており¹³⁾、金属ゲートをアモルファス化して仕事関数ばらつきを抑制すると低周波ノイズが大幅に抑制されることが報告されている。

ゲート絶縁膜に高誘電率 (high- κ) 酸化物を用いた場合の RTN は、フォーミングガスアニールで絶縁膜中の欠陥を消滅させることにより、SiON 膜と比べて大幅に抑制できることが報告されている¹⁴⁾。

3-3-4 熱ノイズとショットノイズ

アナログ回路の動作周波数が高くなるにつれて $1/f$ ノイズの影響は小さくなり、熱/ショットノイズが主なノイズ源となる。熱ノイズはジョンソン-ナイキストノイズ (Johnson-Nyquist noise) とも呼ばれる。熱平衡状態の導体中で熱的に励起したキャリアのブラウン運動で生ずるノイズであり、電流ノイズの PSD は遮断周波数以下で

$$S_I(f) = 4kT/R \quad (3 \cdot 3)$$

で与えられる。 k はボルツマン定数、 T は絶対温度、 R は導体の抵抗を表す。電圧ノイズは $S_V(f) = 4kTR$ となる。

ショットノイズは定常電流が流れる非熱平衡状態において生ずるノイズで、電流を担うキャリアの離散性に起因する。ショットノイズの PSD は、キャリアが測定点を通過する時間に対して十分低い周波数で

$$S_I(f) = 2qI \quad (3 \cdot 4)$$

と与えられる。式(3・4)によると平均電流 $I \rightarrow 0$ の極限でショットノイズは消滅することになる。このためショットノイズは、ポテンシャル障壁を乗り越えて放出される電流にのみ適用され、電界がない様な導体中に生ずる熱ノイズとは区別すべきという考え方がある。しかし、両者はキャリアの離散性に起因するという意味で本質的に同根である。ランダウアー (Landauer) は、量子論的に定式化したショットノイズが $I \rightarrow 0$ の極限で熱ノイズと一致することを示している¹⁵⁾。

MOSFET のドレイン電流の熱/ショットノイズは

$$S_{Id}(f) = 4kT\gamma g_{d0} \quad (3 \cdot 5)$$

で与えられる^{16),17)}。 g_{d0} はドレイン電圧 $V_{Ds} = 0$ のときのチャネルコンダクタンスである。 γ はバイアスに依存する無次元のパラメータでノイズ因子 (noise factor) と呼ばれる。長チャネル MOSFET では $V_{Ds} = 0$ で $\gamma = 1$ であり、式(3・3)の熱ノイズと一致する。飽和領域に近づくにつれて γ が 2/3 まで減少することが理論的に示される^{16),17)}。短チャネル MOSFET の熱/ショットノイズに式(3・5)を当てはめると、 γ は 1 以上に増大することが知られている¹⁸⁾。

デジタル回路における熱/ショットノイズは、1 クロック周期の間で変動成分が相殺され得るため、RTN ほど回路動作に深刻な影響を与えないと考えられる。最近行われたシミュレーションで、1 個の捕獲電荷による RTN と熱/ショットノイズの影響が定量的に比較された¹⁹⁾。1 クロック周期の間にソースからドレインに輸送される総電荷量の変動幅を指標にして両者を比較したものを図 3・4 に示す。RTN による総電荷量の変動幅はクロック周期に比例するのに対し、熱/ショットノイズはクロック周期の平方根に比例する。このため、クロック周波数を上げていくと必ずどこかで熱/ショットノイズが RTN を上回ることになる。ただし、このクロスオーバー周波数はナノワイヤ型デバイスの場合で数 10~100 GHz 程度と見積もられ、

デジタル回路の当面の主要ノイズは RTN であることを示している。

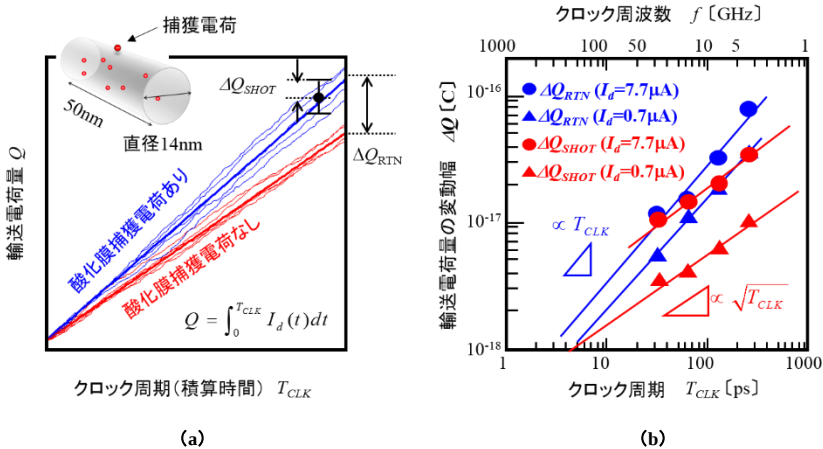


図 3・4 RTN と熱/ショットノイズがデジタル回路動作に与える影響の比較¹⁹⁾

(a) 指標となる 1 クロック周期 T_{CLK} 内の輸送電荷量の変動幅 ΔQ の定義。 ΔQ_{RTN} は RTN を引き起こす酸化膜捕獲電荷の有無による輸送電荷量の変動幅、 ΔQ_{SHOT} は熱/ショットノイズによる変動幅を表す。

(b) ΔQ_{RTN} と ΔQ_{SHOT} の比較。 ΔQ_{RTN} は T_{CLK} に比例するのに対し、 ΔQ_{SHOT} は $T_{CLK}^{1/2}$ に比例する (図は文献¹⁹⁾に基づいて作成)。

■参考文献

- 1) M.J. Kirton and M.J. Uren : “Noise in solid-state microstructures: A new perspective on individual defect, interface states and low-frequency ($1/f$) noise,” *Advances in Physics*, vol.38, no.4, pp.367-468, 1989.
- 2) T. Grassler et al. : “The Paradigm Shift in Understanding the Bias Temperature Instability: From Reaction-Diffusion to Switching Oxide Traps,” *IEEE Trans. Electron. Dev.* vol.58, no.11, pp.3652-3666, 2011.
- 3) K. Takeuchi : “Impact of Discrete-Charge-Induced Variability on Scaled MOS devices,” *IEICE Trans. Electron.* vol.E95-C, no.4, pp.414-420, 2012.
- 4) H. Kurata, et al. : “The impact of random telegraph signals on the scaling of multilevel Flash memories,” *Symposium on VLSI Circuit Dig.* pp.112-113, 2006.
- 5) N. Tega et al. : “Impact of Threshold Voltage Fluctuation due to Random Telegraph Noise on Scaled-down SRAM,” *Proc. IRPS*, pp.541-546, 2008.
- 6) K. Ohmori et al. : “Application of Low-Noise TIA ICs for Novel Sensing of MOSFET Noise up to the GHz Region,” *Symposium on VLSI Technology*, C40-C41, 2013.
- 7) K. S. Ralls et al. : “Discrete Resistance Switching in Submicrometer Silicon Inversion Layers: Individual Interface Traps and Low-Frequency ($1/f$) Noise,” *Phys. Rev. Lett.* 52, pp.228-231, 1984.
- 8) S. Christensson et al. : “Low Frequency Noise in MOS Transistors—I Theory,” *Solid-State Electron.* vol.11, pp.797-812, 1968.
- 9) A. L. McWhorter : “ $1/f$ Noise and Germanium Surface Properties,” in *Semiconductor Surface Physics*, ed. by R.H. Kingston et al., Philadelphia, Univ. of Pennsylvania Press, pp.207-228, 1957.
- 10) F. N. Hooge et al. : “Experimental studies on $1/f$ noise,” *Rep. Prog. Phys.* vol.44, pp.479-532, 1981.
- 11) K. K. Hung et al. : “A Unified Model for the Flicker Noise in Metal-Oxide-Semiconductor Field-Effect Transistors,” *IEEE Trans. Electron. Dev.* vol.37, no.3, pp.654-665, 1990.
- 12) T. Hiramoto et al. : “Statistical advantages of intrinsic channel fully depleted SOI MOSFETs over bulk

MOSFETs,” IEEE Custom Integrated Circuits Conference (CICC) paper 5-2, 2011.

- 13) T. Matsukawa et al. : “Scaling breakthrough for analog/digital circuits by suppressing variability and low-frequency noise for FinFETs by amorphous metal gate technology,” IEDM Tech. Dig. 12.1.1-12.1.4, 2014.
- 14) N. Tega et al. : “Reduction of Random Telegraph Noise in High- κ /Metal-gate Stacks for 22 nm Generation FETs,” IEDM Tech. Dig. pp.772-775, 2009.
- 15) R. Landauer : “Solid-state Shot Noise,” Phys. Rev. B 47, pp.16427-16432, 1993.
- 16) A. van der Ziel : “Thermal Noise in Field-Effect Transistors,” Proc. of the IRE, vol.50, pp.1808-1812, 1962.
- 17) M. Shoji : “Theory of CMOS Digital Circuits and Circuit Failures,” Princeton University Press, 1992.
- 18) R. Navi et al. : “High-frequency noise in nanoscale metal oxide semiconductor field effect transistors,” J. Appl. Phys, vol.101, 124501, 2007.
- 19) T. Kamioka et al. : “Current Fluctuation in Sub-Nano Second Regime in Gate-All-Around Nanowire Channels Studied with Ensemble Monte Carlo/Molecular Dynamics Simulation,” IEDM Tech. Dig. 17.2.1-17.2.4, 2012.

■S2 群-1 編-3 章

3-4 信頼性

(執筆者：竹内 潔) [2015 年 8 月 受領]

利用に供している物やシステムがある期間故障することなく期待した機能を発揮し続けるようにするためにはどうすればよいかを扱う学問は信頼性工学と呼ばれる。本節では上記した「信頼性」の非常に広い対象領域のうち、特に MOS 型シリコン集積回路における主要な課題として、(1)電気ストレスによる特性変動、(2)絶縁膜破壊、(3)ソフトエラーを取り上げて解説する。シリコン集積回路の成功と広範な応用が実現した背景には高度な信頼性が保障できたという事実があり、この分野で多くの試行錯誤と知見の集積がなされている。これらは必ずしも微細化やナノサイズ化によって引き起こされるものではないが微細化の影響は受ける。微細化が信頼性に与える影響については適宜言及する。

3-4-1 電気ストレスによる特性変動

MOS 型トランジスタの端子間に電圧を印加するとトランジスタの特性は徐々に変動する。十分高信頼に設計された集積回路においてこの変動はごくわずかであるが、設計を誤ると長時間使用後に集積回路が誤動作する恐れがある。特性変動の原因となる代表的な現象として、(1)ホットキャリア効果と(2)NBTI (Negative Bias-Temperature Instability) がある。

ホットキャリア効果は、ソースからドレインに輸送されるキャリアが進行方向に沿った電界から高いエネルギーを得て「熱い」キャリアとなり、これにより生じた高エネルギーの電子や正孔がゲート絶縁膜に飛び込むことで生じる¹⁾。結果として界面準位(半導体とゲート絶縁膜が接する場所にあつて化学ポテンシャルに応じて電荷を比較的速く捕獲したり放出したりする)や捕獲電荷(絶縁膜の中にあつて概ね固定されている)が発生し、トランジスタのしきい値変動、電流駆動力の劣化などが生じる。

NBTI は P チャネル FET のゲート電極に負バイアスを印加してトランジスタをオン状態にすることで負方向(電流が減る方向)のしきい値変動が生じる現象である。ホットキャリア効果と同様に界面準位や捕獲電荷が生じるとされているが、ソース-ドレイン間の横方向の電界ではなく、ゲート絶縁膜に加わる縦方向の電界によって促進される化学反応により生ずる。ゲート絶縁膜中に窒素を含有させると劣化することが知られている。NBTI には一旦変化したトランジスタ特性が、バイアスを取り除くと回復するという著しい特徴がある。回復は非常に短時間(μ 秒以下)で進行し、かつ長時間(数日以上)にわたって継続するという性質があり、このことは NBTI 現象の測定や長期信頼性の予測を複雑化している。回復現象の説明として、界面から水素が離脱することで一旦生成された界面準位が再度水素と結合することで消滅するためとする説と、ゲート絶縁膜中に一旦捕獲された電荷が再び放出されるためとする説とがあるが、研究の進展により現在では後者が有力視される²⁾。なお、N チャネル FET のゲート電極に正バイアスを印加した場合も類似した PBTI (Positive Bias-Temperature Instability) が存在するが、NBTI に比べて問題になりにくい。

消費電力低減と信頼性確保を目的として、トランジスタの微細化に伴って電源電圧の低減が進められた。このため微細トランジスタではホットキャリア効果の重要性が低下し、主に電圧が下げられない入出力用トランジスタなどで問題となる。一方、性能向上のためゲート絶縁膜が薄くなる結果、電源電圧を下げてもゲート絶縁膜にかかる電界は減らない。このた

め NBTI は微細トランジスタでも主要な信頼性課題である。

ホットキャリア効果や NBTI に対する信頼性を保証するためには、実用動作条件で保証期間（例えば 10 年）後の特性変動を予測し、それを許容レベル以下（駆動電流の減少が 10 % 以下など）に抑える必要がある。そのためには、実用条件よりも厳しい高電圧条件で特性変動を加速し、加速の度合いを変えた複数の測定結果をもとに保証期間後の特性変動をグラフの外挿により予測するという手法が用いられる。採用する外挿法によって予測は変化するから、劣化メカニズムの理解を通じてなるべく確からしい方法を採用することが必要である。また、外挿において NBTI の回復の影響をどのように扱うかは慎重に考慮する必要がある。劣化を過大評価しないよう回路シミュレーションを用いて回復量の定量的見積もりを行う場合もある。劣化の過大評価は一般に過剰な設計余裕の確保を通じて製品性能の低下を招くから極力避ける必要がある。なお、トランジスタ寸法が非常に微細になると 1 個の電荷がトランジスタ特性に与える影響が大きくなり電荷の離散性が無視できなくなる。ホットキャリア効果も NBTI もトランジスタ中の電荷の発生が原因であるから、離散性の影響が増すと特性変動が個々のトランジスタごとにとばつくようになる。信頼性保証においてはこのことも考慮が必要となりつつある。

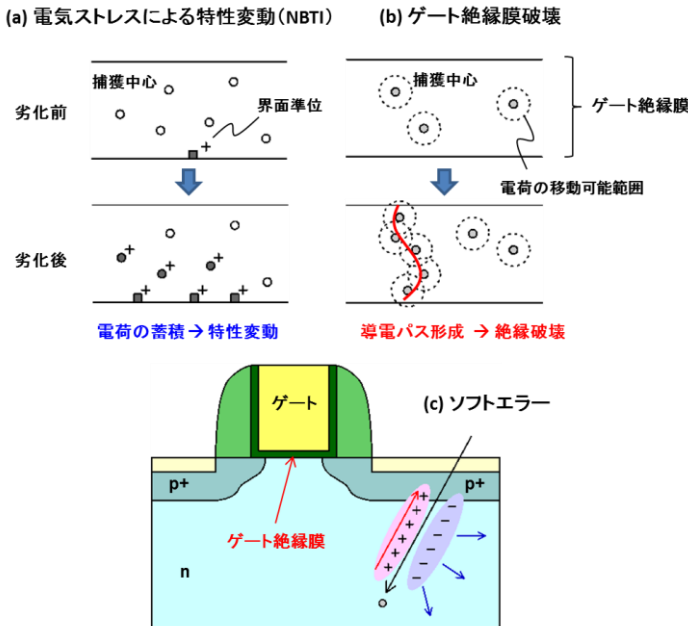


図 4・1 各種信頼性現象の説明

3-4-2 絶縁膜破壊

MOS 型トランジスタのゲート絶縁膜にある値（瞬時破壊耐圧）以上の電圧をかけると絶縁

性が失われて（絶縁破壊）トランジスタが破壊してしまうが、瞬時破壊耐圧より低い電圧であってその印加によってゲート絶縁膜に疲労が蓄積していき、ある時間が経過したところで突然絶縁破壊が生じることがある。この現象を TDDB (Time-Dependent Dielectric Breakdown) と呼ぶ。破壊の仕方には絶縁性が全くなってしまう強い破壊 (Hard Breakdown) と、絶縁性が若干劣化する程度の弱い破壊 (Soft Breakdown) とがある。絶縁膜が厚い（概ね 3 nm 以上）場合は前触れなく強い破壊が観測されるが、先端集積回路で用いられる薄い絶縁膜では弱い破壊が生じる。薄い絶縁膜ではもともとトンネル電流によるゲート絶縁膜のリークが大きく、弱い破壊は時間変動する不安定なリーク電流の発生として観測される。この時点で直ちに集積回路が故障するわけではないが、この時点をもって破壊と判定することが多い。

破壊に至る時間は全く同じ条件で測定しても素子ごとに大きくばらつく。また、破壊に至る時間の確率分布はワイブル分布に従うことが知られている。その原因は以下のように説明される。ゲート絶縁膜に電界をかけ続けると膜中に偶発的に電子捕獲中心と呼ばれる欠陥が発生する。ゲート絶縁膜が十分厚い場合、捕獲中心が 1 個だけでは絶縁性にほとんど影響しないが、捕獲中心が増えていき、たまたまゲート絶縁膜の上下を飛び石状につなぐようになると、その時点で導電性が生じて破壊に至る³⁾。捕獲中心が生じるタイミングや位置関係は偶然に左右されるため、破壊に至る時間がばらつく。また、ばらつきの程度はゲート絶縁膜が薄くなるほど大きくなり、あまりに薄いとついには捕獲中心が 1 個できただけで破壊が生じる。この極限ではワイブル分布は指数分布に一致する。このように、TDDB のばらつきはゲート絶縁膜の薄さに起因し、トランジスタのゲート長やゲート幅が微細でなくとも発生し、ゲート絶縁膜が薄くなるほど劣化する。

TDDB についても NBTI と同様に加速試験によって実用状態での故障発生確率を見積もる。加速は高電圧の印加により行い、電圧 V と破壊までの時間 T の関係を外挿して実用条件で十分な寿命が得られることを確認する。用いられる V と T の関係としては、(1) $T \propto \exp(a/V)$, (2) $T \propto \exp(-bV)$, (3) $T \propto V^{-n}$ が代表的であり、どれが良いかについて長く論争が行われた。いずれを選ぶかで推定寿命が大きく変化するためであるが、ゲート絶縁膜が薄い先端集積回路では (3) が良いとされている⁴⁾。電圧加速に加えて、実用状態での故障発生確率推定には面積補正（信頼性評価に用いた素子の面積と実際の製品の面積の違いを補正）も必要とな

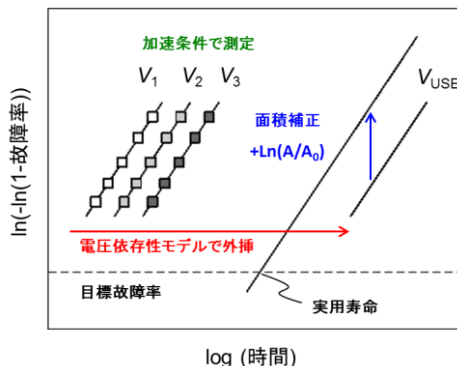


図 4・2 TDDB 寿命の外挿法

る。集積回路ではその中の 1 個のトランジスタが破壊したら全体が故障したとみなす必要があることと、トランジスタごとのばらつきが大きいことによる。トランジスタの面積が増えるほど（大きな半導体チップであるほど）、またばらつきが増えるほど（ゲート絶縁膜が薄いほど）実用可能な電圧は下がる。

3-4-3 ソフトエラー

ソフトエラーとは集積回路に放射線が飛び込むことで一時的に誤動作が生じる現象である。原因となる放射線の主なものは、パッケージに微量含まれる放射性物質から放たれるアルファ線と、宇宙空間から飛来する粒子に由来する中性子線である。帯電したヘリウム原子核であるアルファ線、または高エネルギーの中性子がシリコン原子核と衝突して生成された種々の荷電粒子がシリコン中を走行すると、多数の電子と正孔の対を発生させる。このようなキャリア発生が pn 接合部で生じると、n 型領域に電子、p 型領域に正孔が収集され、半導体領域の電位を変化させ、メモリやロジック回路を誤動作させる可能性がある。このような現象の頻度は小さいが、非常に高い信頼性が要求されるシステムや大規模なシステムにおいてはソフトエラーに対する信頼性の確保が重要課題である。

典型的なソフトエラーはメモリ（DRAM、SRAM）の記憶データが反転してしまう SEU（Single Event Upset）である。微細化を進めると収集される電荷が減ることでビット当たりの発生確率は減少傾向だが、メモリ容量の増加により集積回路あるいはシステム全体での発生確率は増大する。加えて近接する複数ビットが同時に誤動作する現象の増加に注意が必要となる。誤り訂正符号（ECC）を用いた訂正が失敗する可能性が増すためである。組合せ論理回路中の電位が一瞬だけ変動することで誤った論理演算結果が出力される SET（Single Event Transient）と呼ばれる現象もある。この現象は微細化とともに SEU より早く増加し、規則性があるメモリと違って冗長化による対策が難しいという問題がある。

通常よりも多量の放射線を照射することでソフトエラーについても加速試験を行うことができる。アルファ線照射は適当なアルファ線源を集積チップに近接させることでできるが、中性子線照射には加速器を用いた大掛かりな共用設備を利用する必要がある。一方、放射線量を増やすのではなく、大量のサンプルを長期間実地測定することで稀にしか起こらないソフトエラーを検出し、誤動作確率を定量化する方法も用いられる⁵⁾。

■参考文献

- 1) E. Takeda : “Hot-carrier Effects in Submicrometre MOS VLSIs,” IEEE Proc., vol.131, pp.153-162, 1984.
- 2) T. Grasser et al. : “The Paradigm Shift in Understanding the Bias Temperature Instability: From Reaction-Diffusion to Switching Oxide Traps,” IEEE Trans. Electron Devices, vol.58, pp.3652-3666, 2011.
- 3) R. Degraeve et al. : “A Consistent Model for the Thickness Dependence of Intrinsic Breakdown in Ultra-thin Oxides,” Int. Electron Devices Meeting (IEDM) Tech. Dig., pp.863-866, 1995.
- 4) E. Wu et al. : “Experimental Evidence of TBD Power-Law for Voltage Dependence of Oxide Breakdown in Ultrathin Gate Oxides,” IEEE Trans. Electron Devices, vol.49, pp.2244-2253, 2002.
- 5) JEDEC Standard JESD89A, available at <http://www.jedec.org/>, 2006.