

■8 群 (情報入出力・記録装置と電源) - 2 編 (情報ストレージ)

4 章 フラッシュメモリ

(執筆者: 田中真一) [2011 年 2 月 受領]

■概要■

フラッシュメモリは 1984 年に舩岡らによって提案された半導体不揮発性メモリの一つである。開発当初は紫外線でデータの消去を行う EPROM (Erasable Programmable Random Access Memory) や 1 バイト単位で書込み消去が可能な EEPROM (Electrically Erasable Programmable Random Access Memory) の代替として使用されたが、1990 年代以降技術革新により微細化、大容量化が進むと一気に市場が拡大した。現在では携帯機器用のコードストレージ、マルチメディアメモリカードや USB メモリに代表される可搬型記憶媒体、デジタルスチルカメラ、音楽プレーヤ、ビデオ機器、スマートフォン、タブレット型 PC に組み込まれる内蔵型メモリなど、日常生活に密着した応用分野で広く使われるようになってきている。比較的新しい製品である SSD (Solid State Drive) は低消費電力、耐衝撃性、耐環境性、小型軽量化が容易であることなどのメリットから、PC を中心にハードディスクを置き換え始めており、いずれは HDD に比べて入出力性能が極めて優位なことから、サーバ、データセンタなどクラウドコンピューティング分野にも進出していくことが予想される。

フラッシュメモリは、日本人によって発明された最初の国産 LSI といわれる。当初開発された NOR 型に続き、1987 年に低コストでデータの書込み・消去も早い NAND 型が世に出たことで大容量化に拍車がかかった。半導体加工技術の著しい進歩により、当初ミクロンレベルでスタートした最小トランジスタのゲート長は現在 20 ナノメートル台、最大容量は一つのチップで 64 G ビットまでに至っている (2011 年 2 月)。米国産の DRAM がコンピュータのメインメモリを置き換えたように、コンピュータの記憶中枢機能をも半導体 LSI にできないかという草創期の夢が実現しつつあるといつてよい。

【本章の構成】

本章では、2-1 節にフラッシュメモリの動作原理と特徴、2-2 節に小容量モバイルメモリとしてのフラッシュメモリ、2-3 節に大容量ストレージメモリとしてのフラッシュメモリ、2-4 節にフラッシュメモリの微細化と将来、2-5 節にフラッシュメモリ以外の新しい半導体ストレージメモリ、という構成で、フラッシュメモリの概要、応用分野、製造技術、その他のメモリについて紹介する。

■8 群-2 編-4 章

4-1 フラッシュメモリの動作原理と特徴

(執筆者:久米 均) [2008年9月 受領]

フラッシュメモリは情報ストレージとして幅広く利用されている半導体不揮発性メモリである。半導体の特徴である高速、低電力、高信頼、小型軽量を活かし、機器組込みメモリとして、あるいは外部記憶メモリとして、急速に市場を拡大している。その用途は、携帯機器のコード格納、可搬型のマルチメディアデータ記憶媒体、マイクロコントローラやSOCのオンチップメモリ、標準インタフェースを備えたSSD (Solid State Drive) など多岐にわたり、産業・民生の両分野でなくてはならないメモリとなっている。

本節では、半導体不揮発性メモリの中のフラッシュメモリの位置づけを簡単に述べた後、代表的なフラッシュメモリ技術を動作原理から分類する。また、フラッシュメモリにとって重要な信頼性項目について説明するとともに、高信頼化技術の現状を紹介する。

4-1-1 フラッシュメモリの位置づけ

半導体不揮発性メモリは、書き込んだ情報を電源遮断後も保持することができるメモリである。ランダムアクセスメモリRAM (Random Access Memory) のように情報を無制限に書き換えることができないため、一般にROM (Read Only Memory, 読出し専用メモリ=読出しは無制限に行えるメモリ) と総称される。実用化されているROMを表4・1に示す。

表 4・1 半導体不揮発性メモリの中のフラッシュメモリ

| | 不揮発性 | 書き換え 可能回数 | 消去 | In-System 書き換え | 低コスト |
|--------------|------|--------------|------|-------------------|------|
| Mask ROM | ○ | 1回@製造工程 | × | × | ○ |
| PROM | ○ | 1回 | × | × | ○ |
| EPROM | ○ | 約100回 | UV照射 | × | ○ |
| EEPROM | ○ | 約100,000回 | 電氣的 | ○/バイト | × |
| Flash Memory | ○ | 約100,000回 | 電氣的 | ○/ブロック | ○ |
| DRAM (参考) | × | 制限なし | 不要 | ○/ビット | ○ |

Mask ROM : Mask-programmed Read Only Memory

PROM : Programmable Read Only Memory

EPROM : Erasable and Programmable Read Only Memory

EEPROM : Electrically Erasable and Programmable Read Only Memory

DRAM : Dynamic Random Access Memory

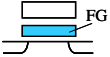
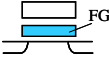

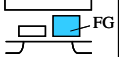
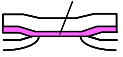
消去ができないため書込みが1回に制限されるMask ROMとPROM、消去に紫外線の照射が必要なEPROM、RAMのようにシステムに搭載した状態で情報を書き換えることができるものの、コストが高いEEPROMに対して、フラッシュメモリは機能とコストの最適解を提供する不揮発性メモリである。EEPROMの書換え機能を1バイト単位からブロック単位に緩和することにより、メモリセル構造を簡略化し、コスト低減を実現する。1984年に舛岡ら¹⁾が提案したこのコンセプトに基づいて、これまでに様々な方式のフラッシュメモリ²⁾が実用

化されてきた。1990 年代以降、半導体不揮発性メモリとして最も大きな市場規模を獲得するとともに、DRAM を凌ぐ小さなメモリセル面積と優れたスケーラビリティはテクノロジーードライバの一つとして半導体産業をリードする存在となっている。

4-1-2 フラッシュメモリの動作原理と技術の分類

フラッシュメモリは MOSFET のゲート絶縁膜に電荷を蓄積する領域を作り、それによるしきい電圧の不揮発的变化を利用して情報を記憶するメモリである。MOSFET のチャンネル電流値からしきい電圧を判定することで、読出しを行う。電荷の蓄積は、周囲を絶縁膜で囲まれた浮遊ゲート電極や、絶縁膜中のトラップ準位を用いて実現する。しきい電圧を変化させるには、本来は電流が流れない絶縁膜を通して蓄積領域との間で電荷をやり取りする必要があるが、エネルギー障壁を飛び越えるホットキャリア現象、障壁を通り抜けるトンネル現象を利用して、これを可能にしている。いずれも RAM では使われない特殊な高電界効果であるが、それぞれに適したメモリセル構造とアレイ構成が考案され、表 4・2 示すように様々な用途に対応したフラッシュメモリ技術として実用化されている。

表 4・2 フラッシュメモリの分類：メモリセルと動作方式

| | NOR ⁽³⁾ | NAND ⁽⁴⁾ | SuperFlash® ⁽⁵⁾ | AG-AND ⁽⁶⁾ | NROM ⁽⁷⁾ |
|-----------------------|---|---|---|---|---|
| 電荷蓄積方式 | 浮遊ゲート | 浮遊ゲート | 浮遊ゲート | 浮遊ゲート | 絶縁膜トラップ |
| 記憶素子構造 模式図 |  |  |  |  |  |
| アレイ構成 | 並列接続 | 直列接続 | 並列接続 | 並列接続 | 並列接続 |
| 書き込み方式 | DS-CHEI | FNT EI | SS-CHEI | SS-CHEI | DS-CHEI |
| 消去方式 | FNT EE | FNT EE | FNT EE w/ FEI | FNT EE | BTBT-HHI |
| 低コスト技術 | 1素子/セル | コント等共有 | 選択素子集積 | 仮想接地 | 仮想接地 |
| V _{TH} 制御の課題 | 過剰消去 | 過剰書き込み | なし | 過剰消去 | なし |
| 多ビット記憶 | 多値 | 多値 | 多値 | 多値 | 2箇所、多値 |
| 主要用途 | コード | データ | コード | データ | データ |
| 特 徴 | ランダム読出し | 高速書き込み 低コスト | 低電力書き込み 混載用途 | 高速書き込み 低コスト | 低コスト (4ビット/セル) |

DS/SS-CHEI : Drain-Side / Source Side Channel Hot Electron Injection

BTBT-HHI : Band-to-Band Tunneling induced Hot Hole Injection

FNT EI/EE : Fowler-Nordheim Tunneling Electron Injection / Electron Ejection

FNT EE w/ FEI : FNT EE with Field-Enhancing tunneling Injector

NOR³⁾ は最初の実用化されたフラッシュメモリである。EPROM 技術をベースに、浮遊ゲート酸化膜を厚さ 8~10 nm のトンネル酸化膜にすることにより、FN トンネル電子放出による消去動作を行う。寄生抵抗が小さいアレイ構成の特長を活かし、ランダム読出し性能が重視されるコード格納用途で用いられる。これに対して、NAND⁴⁾ は EEPROM 技術から発展した大容量データ格納用途のフラッシュメモリである。FN トンネル注入書き込みの低電力性を活かした超並列動作により、10 MB/s を超える高速書き込みを行う。また、記憶素子を直列接続することでコントなど面積オーバーヘッドの影響を減らし、NOR の 1/2 以下の実効セル面積を実現する。

SuperFlash^{®5)} は、スプリットチャネルとソースサイド・チャネルホットエレクトロン注入 SS-CHEI 書込みを特徴とする。VTH 制御の制約が小さく、低電力のバイト書込みを行えることから、混載用途に適している。AG-AND⁶⁾ は、低電力 SS-CHEI による超並列高速書込みと高密度仮想接地アレイを特徴とし、大容量データ格納用途で用いられる。NROM⁷⁾ は、Si₃N₄ 膜トラップの分散性を活かして、セル内ドレイン及びソース近傍の 2 箇所に独立して電荷蓄積を行うため、大容量データ格納用途に適している。

4-1-3 フラッシュメモリの信頼性課題

フラッシュメモリには、ほかのメモリ技術と同様に様々な信頼性上の課題があるが、表 4・3 に示す三つの課題が特に重要である。セルごとに選択素子をもたないフラッシュメモリでは、非選択セルのしきい電圧が変動する書込みディスターブが発生する。変動機構解析に基づくセル構造最適化に加えて、絶縁膜初期欠陥の制御と検出で対策を行う。絶縁膜に電流を流して書込み、消去を行うフラッシュメモリでは、書換えにともなう特性の変動劣化が避けられない。絶縁膜チャージによる書込み・消去時間の変動には、トンネル膜改質のプロセス対策、ペリファイによるしきい電圧制御で対応する。また、エラティックなトンネル電流増加による過剰動作⁸⁾ には、リトライ動作や誤り訂正符号⁹⁾ の適用が有効である。100 nm 以下に微細化されたフラッシュメモリでは、蓄積電荷量が 1 fC に満たないことから、リテンションには特に注意が必要である。ビット性不良を引き起こす異常 SILC¹⁰⁾ に対応するため、誤り訂正符号や不良ブロック置換などのシステムレベル対策が広く用いられる。

表 4・3 フラッシュメモリの信頼性課題

| | 要求 | 不良機構 | 対策 |
|------------|------------------------|-------------------------|--|
| 書き込みディスターブ | 非選択セルのしきい電圧変動なし | 寄生的なトンネル注入・放出、ホットキャリア注入 | ・セル構造最適化 ・絶縁膜欠陥制御 ・スクリーニング試験 ・高効率欠陥救済 |
| 書き換え耐性 | 書き込み・消去時間の変動なし | 絶縁膜チャージによる電界緩和 | ・元素添加トンネル膜 ・ペリファイ制御方式 |
| | 過剰書き込み・消去なし | エラティックなトンネル電流増加 | ・リトライ動作 ・誤り訂正符号 |
| リテンション | 放置でデータ化けなし(期間、温度は用途依存) | 書き換え劣化性の異常 SILC | ・元素添加トンネル膜 ・誤り訂正符号 ・不良ブロック置換 |

SILC : Stress Induced Leakage Current

■参考文献

- 1) F. Masuoka, et al., "A new Flash E²PROM cell using triple polysilicon technology," IEEE IEDM Tech. Digest, pp.464-467, 1984.
- 2) 久米 均, "フラッシュメモリ技術," 応用物理, vol.65, no.11, pp.1114-1124, 1996.
- 3) V. N. Kynett, et al., "An in-system reprogrammable 32K × 8 CMOS Flash memory," IEEE J. Solid-State Circuits, vol.23, no.5, pp.1157-1163, 1988.
- 4) Y. Iwata, et al., "A 35ns-cycle-time 3.3V-only 32Mb NAND Flash EEPROM," IEEE J. Solid-State Circuits, vol.30, no.11, pp.1157-1164, 1995.
- 5) S. Kianian, et al., "A novel 3volts-only, small sector erase, high density Flash E²PRPM," 1994 Symposium on

- VLSI Technology, Digest of Technical Papers, pp.71-72, 1994.
- 6) H. Kurata, et al., "A 130-nm CMOS 95-mm² 1-Gb multilevel AG-AND-type Flash memory with 10-MB/s programming throughput," IEICE Trans. Electron. vol.E89-C, no.10, pp.1469-1479, 2006.
 - 7) E. Maayan, et al., "A 512Mb NROM Flash data storage memory with 8 MB/s data rate," IEEE ISSCC Digest Tech. Papers, pp.76-77, 2002.
 - 8) T. Ong, et al., "Erratic erase in ETOXTM Flash memory array," 1993 Symposium on VLSI Technology, Digest of Technical Papers, pp.83-84, 1993.
 - 9) T. Tanzawa, et al., "A compact on-chip ECC for low cost Flash memories," IEEE J. Solid-State Circuits, vol.SC-32, no.5, pp.662-669, 1997.
 - 10) Y. Manabe, et al., "Detailed observation of small leak current in Flash memories with thin tunnel oxide," IEEE Trans. Semi. Manufacturing, vol.12, no.2, pp.170-174, 1999.

■8 群-2 編-4 章

4-2 小容量モバイルメモリとしてのフラッシュメモリ

(執筆者：圓山敬史) [2008 年 10 月 受領]

フラッシュメモリは用途の観点から大きく、データストレージ向けと制御プログラム格納向けの 2 種類に分けられる。ここで述べる小容量フラッシュは制御プログラム格納向けが主な用途である。TAG や IC カードなどの特殊用途はプログラムではなくデータを保持するが、基本的に小容量であるのでこの章で扱うことにする。

小容量フラッシュの主な用途はフラッシュ混載マイコン、単体コードフラッシュ、IC カードである。それぞれの用途に向けて、別々の仕様が求められており、性能や仕様が多岐にわたることが小容量フラッシュの特徴である。主要な性能には、読出し速度、書込み速度、書換え回数、データ保持時間などがあり、それぞれの用途に応じて求められる仕様が異なっている。例えば、フラッシュ混載マイコンには高速読出し性能、単体コードフラッシュには 10 万回以上の書換え回数、IC カードには高速かつ低消費電力書換えが必要とされる。

また、パッケージなどの周辺技術も多岐に渡っていることが分かる。フラッシュ混載マイコンや単体フラッシュに加え、近年 SiP (System in Package) 技術が採用されることが多い。これはシステム LSI とフラッシュの製造プロセスが異なる場合でも、1 チップ化することができる技術であり、小面積化、高速・低消費電力化に有利である。

本節では、まず小容量フラッシュのデバイス構造について簡単に述べた後、用途別にフラッシュメモリの特性を解説し、次にメモリセルアレイを主とした NOR 型フラッシュメモリの特徴を述べる。最後にはパッケージなどの周辺技術について述べる。

4-2-1 NOR 型フラッシュのデバイス構造

ここでは、制御プログラム格納に用いられる主要な 3 種類のフラッシュメモリデバイスの構造について簡単に紹介する。

図 4・1 に浮遊ゲート型フラッシュメモリデバイスの断面構造を示す。ゲートは 2 層のポリシリコンから形成されており、上層が制御ゲート、下層が浮遊ゲートである。浮遊ゲートにチャネルから電子を注入しトランジスタのしきい値電圧を上げることにより書込みを行う。このデバイス構造が最も歴史が長く、混載から単体メモリまで幅広く応用されている。

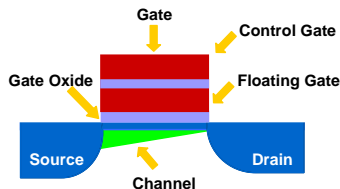


図 4・1 浮遊ゲート型フラッシュメモリの断面構造

図 4・2 に MONOS 型フラッシュメモリデバイスの断面構造を示す。MONOS とは Metal Oxide Nitride Oxide の略であり、MOS 構造の絶縁膜が MONOS 積層構造になっている。このデバイスでは、チャネルから電子を窒化膜にトラップさせることによりトランジスタのしき

い値電圧を上げ、書き込みを行う。浮遊ゲートへの電子蓄積とは異なり、電子が窒化膜に局所的にトラップされることが大きな特徴であり、またそのような特徴に着目して、ソース側とドレイン側に独立に2値情報を書き込むことにより1メモリセル当たり2ビットを記録可能としている^り。その結果、ビット当たりのセルサイズを高めることができ、比較的大容量のメモリに広く用いられている。

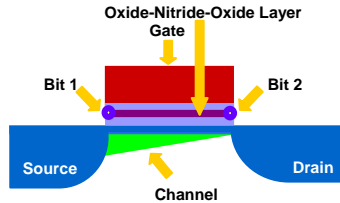


図4・2 MONOS型フラッシュメモリの断面構造

図4・3にスプリットゲート型フラッシュメモリのデバイス断面構造を示す。このデバイスでは浮遊ゲート型デバイスと同じように、チャンネルから浮遊ゲート(図中のPoly 1)に電子を注入することによりトランジスタのしきい値電圧を上げている。スプリットゲートデバイスの場合は、浮遊ゲート(Poly 1)と制御ゲート(Poly 2)の電位の違いから生じる電界によりチャンネルの電子にエネルギーを与えていることが特徴である。この構造では、メモリのセル面積を極端に小さくすることは困難ではあるが、周辺回路の面積が小さくできるので小容量フラッシュに広く用いられている。

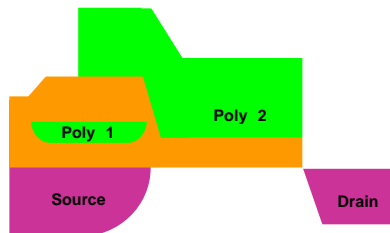


図4・3 スプリットゲート型フラッシュメモリの断面構造
(SST社のホームページより, <http://www.sst.com/>)

4-2-2 NOR型フラッシュの特徴

ここでは、NOR型フラッシュの特徴であるセルアレイ構造について簡単に紹介する。

セルアレイ構造は、フラッシュメモリのデバイス構造、書き込み方式、消去方式と並んで重要な要素技術のひとつである。セルアレイの観点から分類すると、大きくNOR型とNAND型に分類される。NOR型フラッシュメモリは、データストレージ用途のNAND型フラッシュメモリと異なり、信頼性が高く、読出し速度が高速で、高速なランダムアクセスが特徴である。ただし、並列接続したメモリセル2個につき1個の割合でビット線コンタクトを設けることにより、コンタクトがレイアウト面積に影響するため、高集積化には向かない。

また、ビット線を主ビット線と副ビット線に階層構造化し、寄生容量や抵抗を低減させることで NOR 型同等以上の高集積化、高速アクセスを実現する DiNOR (Divided bit line NOR) 型のセルアレイ方式も実用化されている²⁾。

また最近では、図 4・2 に示した MONOS 型メモリセルを使い、よりセル面積の縮小化を狙ったメモリセル、またそのメモリセルを利用したアレイ方式が開発されている。その代表例としては、Saifun Semiconductor 社の NROM セルがよく知られており³⁾、ソース側とドレイン側に独立に 2 値情報を書き込むことにより 1 メモリセル当たり 2 ビットを記録可能としている。NROM セルのアレイ方式としては、図 4・4 に示すように行方向に隣接するメモリセル間で不純物拡散層を共有させ、2 ビットデータの記録または読出し時に、不純物拡散層の機能をソースとドレインで入れ替えて用いる仮想接地方式を採用している。

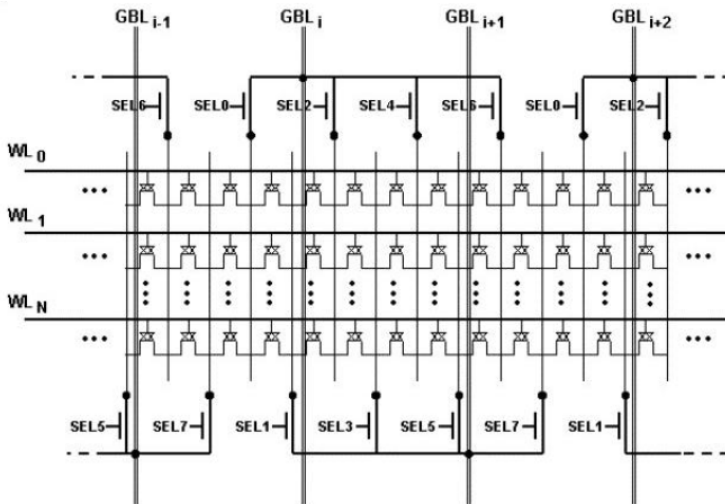


図 4・4 NROM セルのアレイ構造

4-2-3 用途

(1) マイコン

ここでは、1 チップにマイコンコアが一つであるものをマイコン、1 チップにマイコンや DSP などのコアが二つ以上あるものをシステム LSI と定義する。

マイコンはシステムコントローラの役割を担うことが多く、システムコントローラにはファームウェアと呼ばれる制御プログラムが必須である。このプログラムを格納するのがフラッシュメモリである。1990 年代まではプログラムをマスク ROM に格納することが主流であったが、マスク ROM ではプログラムにいわゆるバグがあった場合に、製造プロセスにまで戻らなければ変更することができないため開発期間が長くなる。また、製品出荷後にプログラムの小変更をすることも困難である。

このような事情から、マイコンには混載フラッシュを採用するメーカーが急増している。混

載フラッシュの特徴は読出し速度が速いこと、消費電力が小さいこと、搭載容量が比較的小さいこと、である。読出し速度は通常の単体フラッシュが70~120 nsであるのに対して、混載フラッシュでは60 ns以下であり、最近では10 nsという高速のスペックも見受けられる。

マイコンは、通常キャッシュをもちたずにフラッシュメモリから直接プログラムを読み出す。また、プログラムはランダムアクセスを要求するため、連続した読出しだけでなく、ランダムアクセスが高速である必要がある。

(2) 単体フラッシュ

通常のシステムは大雑把に捉えると、システム LSI、DRAM、フラッシュで構成されているといえる。このフラッシュにはシステムを制御するプログラムを格納する。マイコンとは異なりシステム LSI 用のフラッシュは容量も大きく、仕様も異なるため汎用の単体フラッシュメモリを用いることが多い。容量は8 Mbit から1 Gbit と大変幅広いが、仕様の面では一部を除き汎用仕様となっている。すなわち、書換え回数は10 万回以上、データ保持時間は10 年以上、などである。

また、近年小容量(32 Mbit 以下)を中心にシリアルインタフェースのフラッシュが急増している。この背景にはフラッシュメモリが年々低価格化していく状況では、インタフェースの面積を最小限に抑えて低コスト化を図るというメーカ側の意図と、多少性能を犠牲にしてもコストを優先するというユーザ側の要望が一致しているからである。ただし、64 Mbit 以上の大容量コードフラッシュでは依然としてバス幅が8ビット/16ビットといったパラレル仕様のものほとんどである。

通常のシステムにはフラッシュが必要と前述したが、容量帯別に見ると DVD 向けが32 Mbit 以下、携帯電話向けには64 Mbit から1 Gbit、デジタル TV 向けには32 Mbit から1 Gbit が用いられている。これらの容量に幅があるのは、モデル別、あるいは販売地域(国)によってエンドユーザの要望が異なり、プログラムの容量が大きく異なるからである。

(3) IC カードなど

IC カードは、交通システムの発達などにより飛躍的に需要が増大している分野の一つである。IC カードの不揮発性メモリにはデータが格納されるが、比較的小容量で、バッテリーバックアップなしでの書換えを前提とするため低消費電力書換えが要求される。また、フラッシュメモリのような一括消去方式ではなく、バイト単位での書換えが必須であるので、EEPROM あるいは FeRAM が用いられている。EEPROM のデバイス構造は図4・1あるいは図4・2 に示したフラッシュメモリの構造とほとんど同じであり、バイト単位で消去、書込みができるようなセルアレイ構成となっている。

4-2-4 パッケージ技術

パッケージは半導体メモリを支える代表的な周辺技術である。近年システム側からの要望から、部品点数の削減が大きな課題となっており、混載あるいは SiP (System in Package) 技術に焦点があたっている。SiP はプロセス世代が異なるシステム LSI とメモリを1チップに集積できることから混載に対してアドバンテージをもつ。反面パッケージ技術に依存し、パッケージコストが高くなることが難点である。図4・5に SiP 用パッケージ技術の進展を示

す。

Chip Stack はシステム LSI とメモリを縦に積層し、パッドどうしをワイヤで接続する技術で最も一般的な形態である。Planar SiP はチップを横に並べてワイヤ接続する方法であり、Chip Stack より低コスト化が可能であるが、実装面積を縮小することが困難である。PoP や MCL など実用化されており、それぞれの用途に応じて SiP の形態を使い分けることが可能である。

| | Chip Stack | Planar SiP | PoP (Package on Package) | MCL (Multi Chip LSI) |
|-----------|------------|------------|-----------------------------|-------------------------|
| 構造 | | | | |
| 接続本数 | 数百本以下 | | | 数千本以上 |
| バンド幅 | ~数十Gbps | | | 数Tbps以上 |
| 消費電力(I/F) | <100mW | | | ~数十mW |
| I/F容量 | >100fF | | | <50fF |
| チップ間隔 | 数百μmから数mm | | | 数十μm |
| 実装面積 | 小 | 大 | 中 | 小 |
| 実装高さ | 中 | 低 | 高 | 低 |

図 4・5 SiP (System in Package) 技術の進展⁴⁾

■参考文献

- EXTENDED ABSTRACT OF THE 1999 INTERNATIONAL CONFERENCE ON SOLID STATE DEVICES AND MATERIALS, TOKYO, pp.522-523, 1999.
- H. Onoda, Y. Kunori, S. Kobayashi, M. Ohi, A. Fukumoto, N. Ajika, and H. Miyoshi, Proc. IEEE Int. Electron Device Meet., p.599, 1992.
- ISSCC (International Solid-State Circuits Conference), San Francisco, Feb. 2002 [6.1 A 512Mb NROM Data Storage Memory with 8MB/s data rate]
- 小川 透, SEMICON Japan 2007, pp.9-34.

■8群-2編-4章

4-3 大容量ストレージメモリとしてのフラッシュメモリ

(執筆著：岸田純一) [2009年8月 受領]

大容量ストレージメモリとしてのフラッシュといえば、現在では NAND フラッシュメモリを指すといっても過言ではない。NAND フラッシュメモリは、開発当初から小型化、高性能化の動きが著しい携帯機器の外部記憶装置としてハードディスクやフロッピーディスクを置き換えることを目的に開発された¹⁾。大容量化が常に要求される分野であるため、将来の大容量 NAND フラッシュメモリでも共通に使用できることを強く意識した仕様となっている。また、外部記憶装置として広く使われるための要素として高速動作、低価格も重要である。これらの実現のため、メモリセル構造、回路構成とも従来の半導体メモリとは異なる特徴的なものとなっている。

本節では NAND フラッシュメモリの特徴について簡単に述べた後、その使用方法及び応用分野について紹介する。

4-3-1 NAND フラッシュメモリの特徴

表 4・3 に示すようにアドレス端子をもたないため、NAND フラッシュメモリの容量が増えなくても応用機器側は回路基板を変更せずに容易に記憶容量を増やすことができる。

表 4・3 NAND フラッシュの端子

| 端子名称 | 端子機能 |
|-------------------------|----------------------|
| I/O | 入出力 |
| $\overline{\text{CE}}$ | Chip enable |
| $\overline{\text{WE}}$ | Write enable |
| $\overline{\text{RE}}$ | Read enable |
| CLE | Command latch enable |
| ALE | Address latch enable |
| $\overline{\text{WP}}$ | Write protect |
| $\overline{\text{R/B}}$ | Ready/Busy |
| Vcc | Power supply |
| Vss | Ground |

メモリセルの方式はコスト対応や大容量化などのため 2 値セル、多値セルなどの種類があるが、NAND フラッシュメモリとしての基本動作は共通である。図 4・6 に内部ブロック図の一例を示す。ページサイズは製品世代により異なるが、書込み・読出しともにページを動作単位としている。消去動作は複数のページからなるブロックを動作単位としている。書込みはページレジスタに入力したデータを一度にメモリセルに書き込むため、メモリセルの書込み動作速度が一定でも回路的にページレジスタサイズを増やし、並列動作を強化することで単位データ当たりの書込み時間を短くすることができる。また、読出しについても同様で、メモリセル列から一度にデータをページレジスタに読み出し、その後入出力端子を通して NAND フラッシュメモリの外部に出力される。一方消去は、消去するブロックアドレスを指

定した後、ブロック内のすべてのデータが一度に消去される。ブロックは複数のページから構成されているため、一般に単位データ当たりの消去動作は高速である。

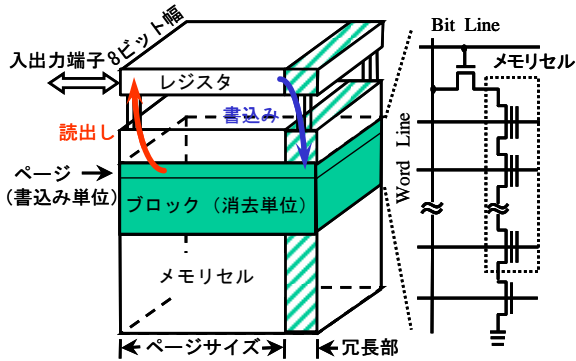


図4-6 NANDフラッシュメモリの内部ブロック図

次に基本的な動作タイミングについて説明する。アドレス端子がないため、書き込み・読み出しをするページ及びブロックアドレス情報はデータ入出力端子からシリーズに入力する。メモリ容量が大きくなった場合もアドレス入力サイクル数を増やすことにより、メモリの端子数を増やすことなく対応が可能である。前述のようにページ単位の動作のためページサイズを増やすことで動作を並列化し、より高速にすることが可能である。しかし、ページサイズが長くなると、応用システムとNANDフラッシュメモリ間で、入出力端子を通して読み出しあるいは書き込みデータをシリーズに転送する時間が問題となる。メモリセルからページレジスタへのデータ読み出し時間は書き込み時間に比べ高速なため、NANDフラッシュメモリと応用システム間のデータ転送時間の影響は読み出し動作で顕著である。データ転送動作を高速化するため入出力端子の動作方式にDDR (Double Data Rate) 方式を取り入れた製品などもある²⁾。

図4-7に読み出し動作の例を示す。書き込み動作、消去動作では使用するコマンドなどが異なるが基本的な概念は同じである。

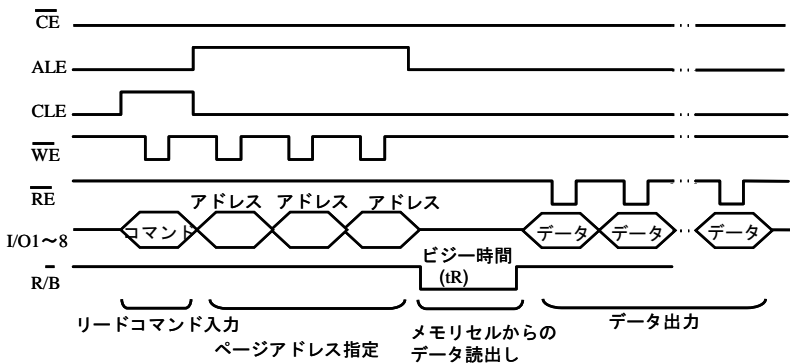


図4-7 NANDフラッシュメモリの読み出し動作

また、NAND フラッシュメモリがほかの半導体メモリと異なる特徴の一つに応用システムでの ECC (Error Correction Code) 機能を前提としていることがあげられる。ECC はハードディスクなどの記憶装置の分野では一般的な技術であるが、強力な ECC を前提とした半導体メモリは NAND フラッシュメモリだけである。ここにも NAND フラッシュメモリが外部記憶装置の置換えを意図したことの特徴が表れている。初期の製品では 512 バイト当たり 1 ビットのエラー訂正が可能なハミングコードが使用されたが、多値化や半導体製造技術の微細化により更に強力な複数ビット訂正が可能なエラー訂正方式が必要とされている。

ECC 技術によりメモリ使用時に発生するデータのエラーは訂正回路の能力の範囲で訂正可能であるが、メモリセルの特性上データを書き換える回数、読み出しを繰り返す回数、書き込まれたデータの保持期間に制限があり、NAND フラッシュメモリの製品仕様で規定された範囲を超えて使用すると ECC 回路の訂正能力を超えるエラーが発生することがある。そのため、応用システムでの使用条件が NAND フラッシュメモリの製品仕様範囲に入っているかの確認が必要である。

4-3-2 NAND フラッシュメモリの使用方法

図 4・8 に NAND フラッシュメモリを用いた応用システムのブロック図の一例を示す。

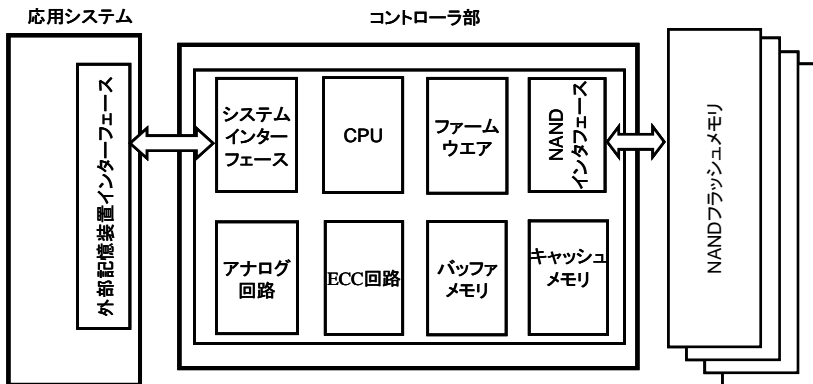


図 4・8 NAND フラッシュメモリ応用システムのブロック図

コントローラ部は応用システムの一部として組み込まれたり、メモリカードコントローラとして実現されたりするが、NAND フラッシュメモリを外部記憶装置として使うために必要な種々の管理をしている。その主な機能として下記があげられる。

- (1) ECC : 4-3-1 項「NAND フラッシュメモリの特徴」を参照されたい。
- (2) 不良管理 : NAND フラッシュメモリは製造メーカーからの出荷時点で最大数%程度の不良ブロックが許容されている。不良ブロックが存在する場合は仕様書に規定された方式で識別が可能であり、応用システムは不良ブロックを避けて使用する必要がある。また、使用中にも稀に不良が発生することがあり、後天性不良領域も使わないよう管理する必要がある。
- (3) ウェアレベリング : ECC の項で前述したように、フラッシュメモリは書換え回数に制

限があるため、同一ブロックへのみ書込み・消去が集中するとそのブロックだけが先に不良となってしまう。それを避けるにはメモリチップ全体のブロックを平均的に使うようにする制御方式（ウェアレベリング）が有効である。

- (4) **論理・物理アドレス変換**：上述のウェアレベリングを実施するために、応用システムが同じメモリアドレス（論理アドレス）に書込みを要求した場合、実際の NAND フラッシュメモリデバイスのアドレス（物理アドレス）との関連付けを変えることが必要となる。アドレス変換情報は、NAND フラッシュメモリ上に保存し、コントローラ上の RAM に読み出して使用する方法が一般的である。
- (5) **ガベージコレクション**：NAND フラッシュメモリは、消去単位がブロック単位のため、ブロック内に不用となったデータと有効なデータが混在すると不用なデータだけを消去することができない。そのため、有効なデータを別のブロックにコピーして不用なデータ部分（ガベージ）を消去するなどの手順が必要となる。
- (6) **複数の NAND フラッシュメモリの並列処理**：NAND フラッシュメモリへの連続した書込み・読出しは比較的高速であり、製品世代、2 値セル、多値セルなどにより異なるが、一例として書込み速度は 2 値セルで 20 MB/s 程度、多値セルで 10 MB/s 程度である³⁾。複数の NAND フラッシュメモリチップへの書込み・読出し動作を同時に行うことで、NAND フラッシュメモリシステムの書込み・読出しを更に高速化することができる。
- (7) **キャッシュメモリの制御**：DRAM などの高速メモリをキャッシュメモリとして使用することで、高速化と NAND フラッシュメモリへの書込み回数、読出し回数の削減を図ることができる。
- (8) **インタフェース変換**：一般に応用システムが使用する外部記憶装置のインタフェース規格は NAND フラッシュメモリ自体のインタフェース規格とは異なるため、コントローラを介して応用システムが使用する規格に合わせたデータの入出力が必要となる。

上記に NAND フラッシュメモリの基本的な制御技術をあげたが、それぞれの応用分野ごとに最適化し、最大性能を引き出す工夫がされている^{4),5)}。

4-3-3 NAND フラッシュメモリの応用分野

1990 年代前半にはいろいろな応用分野で NAND フラッシュメモリを直接システムに組み込み使用する試みがなされた。また、外部記憶装置として JEIDA/PCMCIA で規格化された PC Card Standard に準拠した ATA カードなどの応用製品も開発された。1995 年ごろから DSC (Digital Still Camera) が急速に普及し、NAND フラッシュメモリの最初の大市場となった。当初は、フラッシュメモリは組み込み型でも使用されたが、小型カードの規格化が進むとともにスマートメディアカードTM、コンパクトフラッシュカードTMなどのメモリカードの形で使用されることが多くなった。その理由としてほかの機器とのデータ交換が容易なこと、価格上の理由から十分なメモリ容量を内蔵することが難しかったこと、上記に述べたフラッシュメモリ管理を行うにはノウハウが必要なことなどがあげられる。

その後、デジタルオーディオプレーヤも大きな市場に育ち、DSC 機能やオーディオプレーヤ機能を備えた携帯電話も重要な市場となった。更にデータ量の多いビデオカメラやビデオレコーダなど動画の記録でも使用されている。

これらの携帯機器が NAND フラッシュメモリの市場を牽引した理由は、写真も音楽もデー

容量が数 100 KB から数 MB と比較的大きく連続して書込みあるいは読出しされるため、ランダムアクセスは遅いが、シリアルアクセスは高速である NAND フラッシュメモリの特性をうまく引き出せる応用分野であったことがあげられる。小型軽量化の市場要求に応えるため、初期のスマートメディアカード™やコンパクトフラッシュカード™に加え、更に小型な SD メモリカード™、マルチメディアカード™、メモリースティック™、xD-ピクチャカード™などのメモリカードが開発されたことも、市場拡大に寄与した。

当初目論んだ PC 市場では、USB メモリがデータ交換媒体あるいは半導体外部記憶装置として小型、高速で安価なことから広く使われている。また、NAND フラッシュメモリが大容量化し価格も下がったことから、より大容量のハードディスク置換えを狙った SSD (Solid State Drive) の需要も増えている。PC、サーバなどの外部記憶装置向けでは高速性能、高信頼性を実現するためコントローラも最適化され、NAND フラッシュメモリも高速な製品が開発されている。

メモリカードは大きな市場を形成したが、応用システムに直接実装する用途も重要な市場である。NAND フラッシュメモリを基板に実装する場合は取り外されることがないので、ユーザデータだけでなく OS やアプリケーションプログラムなども格納することができる。一般にプログラムコードの格納用に使われる NOR フラッシュメモリと異なり、NAND フラッシュメモリはランダムアクセスが遅くプログラム実行用メモリとしては適さないため、DRAM などにデータを転送して実行される。NAND フラッシュメモリとコントローラ、更に DRAM まで積層して一つのパッケージに入れた製品も携帯電話など小型化が必要な用途で広く使われている。

■参考文献

- 1) 徳重 芳, 中根正義, “NAND 型 EEPROM の将来構想, 年に容量 2 倍のペースで 94 年には 64M の専用 品出荷へ,” 日経エレクトロニクス, no.547, pp.169-186, 1992.
- 2) D. Nobunaga, et al., “A 50nm 8Gb NAND Flash Memory with 100MB/s Program Throughput and 200MB/s DDR Interface,” ISSCC Dig. Tech. Papers, pp.426-427, 2008.
- 3) K. Takeuchi, et al., “A 56-nm CMOS 99-mm² 8-Gb Multi-Level NAND Flash Memory With 10-MB/s Program Throughput,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, vol.42, no.1, pp.219-232, 2007.
- 4) C. Park, et al., “A high performance controller for NAND flash-based solid state disk (NSSD),” IEEE NVSMW, pp.17-20, 2006.
- 5) K. Takeuchi, “[招待講演]SSD 動向と NAND フラッシュメモリ,” 電子情報通信学会技術研究報告, vol.108, no.6, pp.31-36, 2008.

■8 群-2 編-4 章

4-4 フラッシュメモリの微細化と将来

(執筆著：東谷政昭) [2009年7月 受領]

4-4-1 微細加工と素子分離

NAND の微細化も露光技術により実現される。40 nm レベルまでの NAND は、液浸型 ArF エキシマレーザを用いた露光技術により、実現されている。しかし、この後の微細化に対しては、通常の露光技術の延命は難しい。次の露光の候補は、EUV (極紫外線光) であるが、光源、レジスト、マスクの開発段階であり、30 nm レベルでは間に合わない。このため、NAND では、側壁スペーサという補充技術を用いることで、30 nm レベル以降の NAND の実現を目指している。これは、NAND 回路のパターンが、一定の配線幅の単純な繰り返しであるため、側壁スペーサの方法が、二重露光方式 (例えば 60 nm の露光を 2 回重ねることで 30 nm の配線幅を実現する) よりも適しているからである。

素子分離に対しては、Self-Align-STI^{1),2)} (自己整合型 Shallow Trench Isolation) が、一般的に用いられている。これは、浮遊電極 (以下 Floating Gate:FG) の形成と STI の形成を Self-Align にて行うものである。結果、セルサイズを $2F \times 2F = 4F^2$ (F : Feature Size, 最小配線幅) にすることができ、微細化に適する構造となった。また、後述するが、トンネル酸化膜を膜薄化できないために、書込み電圧を、微細化によって下げることができない。結果、素子分離に必要な STI の深さの微細化も難しくなり、STI の埋込みがプロセス上の課題になる。

4-4-2 トンネル酸化膜の薄膜化

NAND フラッシュメモリは、通常のトランジスタの微細化と違い、トンネル酸化膜を薄膜化していくことができない。この限界の原因はデータ保持にある。トンネル酸化膜を薄くすると、SILC (Stress Induced Leakage Current) が増大する²⁾。SILC とは、FN (Fowler-Nordheim) 電流を流した後、低電界 (< 8 MeV) 領域でのリーク電流が、増えることを指す。この SILC は、トンネル酸化膜厚を薄くするとより顕著になる。SILC は、FN 電流のストレスによりトラップの準位が生じ、その準位を介して電流と考えられる。NAND フラッシュメモリでは、

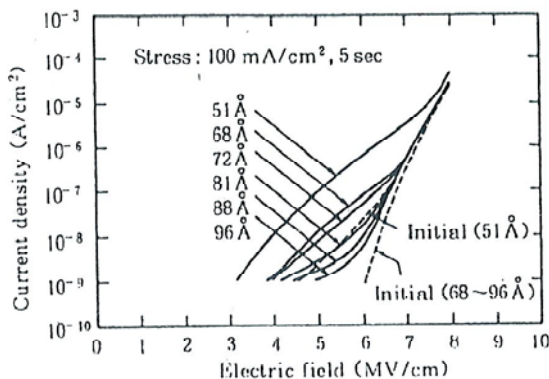


図 4-9 SILC vs. Electric field after Stress

書込み・消去を FN 電流で行うので、トンネル酸化膜にストレスがかかる。結果、サイクリング後にトンネル酸化膜を介して電荷が逃げ、NAND セルしきい値電圧が下がってしまう。一般的には、このトンネル酸化膜の膜厚の限界は～6 nm が限界と考えられている。

この結果、NAND セルの微細化を行うには、トンネル酸化膜を薄膜化しないままセルトランジスタの寸法を縮小する必要がある。結果、ショートチャネル／ナローチャネル効果を抑制するのに、NAND セルのソース・ドレイン PN 接合部の不純物濃度をいかに最適化することが重要になる。一般的に、ショートチャネル効果を抑えるには、P 型（ボロンなど）の濃度をチャンネル部に増やす必要がある。一方、NAND セルの誤書込み防止を行うためには、セルフブースト^{4),5)}方法を使うのが一般的である。

これは、NAND ストリングのセレクトゲートもしくは非選択ワードライン（以下 WL）をオフ状態（Off）にすることでチャンネル部をフローティング状態にしたうえで、WL 側から書込み電圧を印加することで、容量カップリングにより、チャンネル部の電位を上げる方法である。このセルフブーストでは、ソース・ドレインとチャンネル接合部の不純物濃度プロファイルが急峻だとリーク電流が発生し、ブーストのポテンシャルを保てない。したがって、ボロンなどの不純物濃度を上げることは誤書込みの観点からは好ましくない。この誤書込み防止とショートチャネルを両立させるのが、微細化の鍵となる。方向性としては、チャンネルの浅い側の P 型の濃度を上げることとチャンネルの深い側の P 型の濃度を下げることが重要になる。

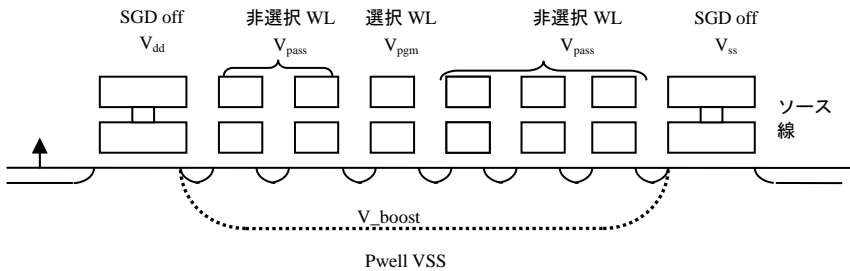


図 4・10 セルフブースト図

4-4-3 セル間干渉 (FG-FG Interference)

もうひとつの微細化の側面はセル間干渉⁶⁾である。これは、FG と隣接する FG との間の容量カップリングの影響のため、NAND セルトランジスタのしきい値電圧が上がってしまうことになる。特に多値セルの場合に顕著になる。具体的には以下になる。

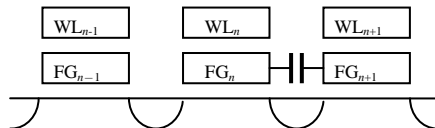


図 4・11 FG_n が書込みされるときには FG_{n+1} は Erase 状態。 FG_{n+1} が書込み後、FG 間カップリングにより FG_n のしきい値電圧が高くなる

多値セル (4 値) を考える。書込みステートが三つあるとする。下から、A ステート、B ステート、C ステートとする。注目するセルが WL_n/BL_n にあり、かつ A ステートに書込みしたとする。この時点では、 WL_{n+1}/BL_n のセルは、消去状態だとする。次に、 WL_{n+1}/BL_n の書込みを行い、C ステートに書込みをする。C ステートに相当する電位をもつ分の電子が、 WL_{n+1}/BL_n の FG に電子が注入されたことを意味する。結果、 WL_n/BL_n の FG の電位が、 WL_{n+1}/BL_n の FG のカップリングのために上がる。これが、 WL_n/BL_n のセルのしきい値電圧が高くなって見える。しきい値電圧の上昇は以下の式で表される。

$$\Delta V_T = (V_T(C \text{ ステート}) - V_T(\text{消去ステート})) \times \text{FG-FG 間容量} / \text{全 FG 容量}$$

結果、A ステートのセルが、B ステートに見えるなどの不良が発生する。同様なことは、ビットライン (以下 BL) 方向でも発生する。同様に、斜め (対角) 方向でも値自身は小さいが発生する。

このセル間干渉は、セルを微細化するごとに厳しくなる。それは、上述したとおり、FG-FG 間容量が FG-チャンネル (トンネル酸化膜) 容量、FG-CG 容量に比較するとその割合が大きくなるためである。つまり、トンネル酸化膜/IPD (IPD: Inter-Poly-Dielectric) が薄膜化できないのに対して WL-WL 間隔/BL-BL 間隔は微細化されていくからにほかならない。トンネル酸化膜が微細化できない以上、避けられない問題である。

このセル間干渉の影響を小さくする方法は幾つか考えられる。ひとつはプロセス上の工夫である。BL 方向のセル間干渉を減らすには、FG-FG の間に CG を入れることにより、低減できる。これは、FG-CG 間の容量も増やすことができるので、多くのデバイスメーカーで採用されている。WL 方向では、シールドプレート (Shield Booster plate) ⁷⁾ が考えられるが、微細化が進むと WL-WL 間にプレートを入れる余地がなく、実現性はない。ほかには、低誘電率膜を WL-WL 間の絶縁膜として使う方法も考えられる。デバイスの場合は、書込みの順序を変えることで、セル間干渉の影響を少なくできる。具体的には、しきい値電圧が高いステートから先に書くこと、 WL_n を書込みを終了する前に、 WL_{n+1} を一部のデータを書込みするなどが考えられる。

4-4-4 NAND の今後の微細化

この後、NAND 微細化を行っていくのは厳しいと考えられる。おそらく、最初に大きな問題になるのは、セル間干渉だと考えられる。セル間干渉は、確率的にビット化けが起こる可能性が高くなるのであって、すべてのセルがビット化けを起こすわけではない。その意味では、NAND 自身の微細化は、ECC (Error Correct Circuit: 例としてハミングバード方式、パリティビットをもつことで、1 ビットのエラー修正が可能) をどのようにもつかに大きく依存するといえる。逆にいえば、ビットエラー救済率が、非常に高い ECC をもつことができれば、NAND の微細化は延命される。物理的な限界に達して微細化ができなくても、ECC をもち、更なる多値化 (3 ビット/セル⁸⁾、4 ビット/セル^{9),10)} を行うことで、論理上の微細化は可能である。もうひとつの方向は、三次元的に NAND セルを積み上げていくものがある。代表例として、BiCS¹¹⁾ をあげておく。しかし、プロセス上の困難が大きく、更なるブレークスルーが求められる。

4-4-5 NAND FG 代替えの可能性

NAND フラッシュメモリの代替えに関しては活発に議論されているが、決定的なものはない。例をあげてその可能性を示したい。

(1) MONOS

現時点では、最も NAND の代替えに近いといえる。動作的には、バンド構造の工夫によってバリエーションを高くすることにより、FN-電流を用いて書込み・消去ができるようになってきている。この MONOS の最大の利点はセル間干渉がないことである。これが大きな利点である¹²⁾。ただし、トンネル酸化膜自身は4~5 nm の範囲にある。この範囲の膜厚になると、SiO₂膜では直接トンネル領域に入る。このため、トンネル酸化膜のONO化(酸化膜と窒化膜の3層構造)の工夫などが提案されている。また、極薄膜のため、電子1個に対するしきい値電圧寄与分が同一世代のNANDに比較して大きくなる。これは、データ保持や誤書込み特性などにとって不利に働く。

また、MONOSは、バンド構造上、高誘電体膜をSiN(電荷蓄積膜)の上部側にもっていく必要がある。この高誘電体膜に対するデータ保持対策も大きな課題である。更に、ゲート電極とアクティブ領域とが交差する場所では、高誘電体膜と通常のSiO₂がぶつかる場所ができる。この部分では、急激に電界が緩和されるので、構造上の工夫も必要に思われる。

結果、MONOSでの代替えは不可能でないが、トンネルによって決まる部分はFG型NANDと同じで、微細化に大きなメリットをもたらす可能性は小さい。

(2) RE-RAM (Resistance Random Access Memory)

現時点では、このメカニズムについて完全に分かっているわけではないが、NANDフラッシュメモリの代替えとして考えられているのがRE-RAMである。RE-RAMは、電圧を印加することにより、抵抗を変化させることに利用したものである。Metal Oxide (NiO¹³⁾, CuO¹⁴⁾などが、その特性を示すものとして知られている。選択素子として、トランジスタでなくダイオード用の素子に使いえれば、NAND代替えの可能性は大きくなる。

(3) PGM (Phase Change Memory)

PCM¹⁵⁾は、高温を加えることでアモルファス状態(高抵抗)と結晶状態(低抵抗)に変化させる。この抵抗差を利用してメモリにしている。NANDフラッシュメモリの代替えになる可能性は低いと思われる。理由は、電流を流すことで高温を発生させるため、書込み時に必要な電流が大きく、大容量のアプリケーションに向いていないからである。

■参考文献

- 1) S. Aritome, et al., IEDM Tech. Dig., pp.61-64, 1994.
- 2) Y. Takeuchi, et al., Symp. On VLSI Tech., pp.102-103, 1998.
- 3) K. Naruke, et al., IEDM Tech. Dig., pp.424-427, 1988.
- 4) K. D. Suh, et al., IEEE Solid-State Circuits, vol.31, no.11, pp.1149-1156.
- 5) D. Oh, et al., NVSWM, pp.39-41, 2007.
- 6) J. Lee, et al., IEEE Electron Device Letters, vol.23, no.5, pp.264-266.
- 7) J. Choi, et al., Symp. On VLSI Tech., pp.238-239, 1996.

- 8) Y. Li, et al., Circuits, vol.44, no.1, pp.195-207.
- 9) N. Shibata, et al., Symp. On VLSI Circuit, pp.190-191, 2007.
- 10) C. Trinh, et al., ISSCC Dig. Tech Papers, pp.246-248, Feb. 2009.
- 11) H. Tanaka, et al., Symp. On VLSI Tech., pp.14-15, 2007.
- 12) C. Lee, et al., Symp. On VLII Tech., pp.21-22, 2006.
- 13) I. Baek, et al., IEDM Tech. Dig., pp.587-590, 2004.
- 14) A. Chen, et al., IEDM Tech.Dig., pp.746-749, 2005.
- 15) S. Lai, et al., IEDM Tech. Dig., pp.255-258, 2003.

■8 群-2 編-4 章

4-5 フラッシュメモリ以外の新しい半導体ストレージメモリ

(執筆者：仁田山晃寛) [2008年10月受領]

4-5-1 各種メモリの位置付け

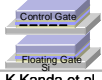

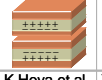

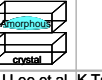


表 4・4 に各種不揮発性メモリのベンチマーク表を示す。書込み・消去速度に対する各種メモリのビット容量との相関を図 4・12 に、Endurance (エンデュアランス) 特性 (書換え耐性) との相関を図 4・13 にそれぞれ示す^{1)~7)}。

ここに見るように、各種メモリは、大局的には高速中容量の Working Memory (ワーキングメモリ)、中速中容量の Code Storage Memory (コードストレージメモリ)、低速大容量の Data Storage Memory (データストレージメモリ) に三極化されていくと推測される。

Working Memory に関しては、Endurance 特性から、FeRAM, MRAM が有望で、将来の高密度化の可能性から Spin 注入型 MRAM が注目されている。PRAM 及び ReRAM では、そのメモリ動作機構から、相変化や熱変化による急激な界面劣化が原理的に発生し、1E12 以上の書換え実現は難しく、Working Memory には適さないと考えられる。しかし、PRAM は最近の微細セル開発の実証から Code Storage Memory としては有望である。ReRAM は、更なる動作機構の詳細理解、抵抗変化材料・電極材料の最適な組合せの探求などが必要であるが、今後の開発の進展に期待したい。

Data Storage Memory に関しては、微細化のみに頼らずに継続的なビットコスト低減を可能にする大容量メモリが切望される。

表 4・4 各種不揮発性メモリのベンチマーク表

| | NAND Toshiba, Samsung Hynix, IM | NOR Toshiba, Intel, Spansion | FeRAM Toshiba, Fujitsu, Ti, Samsung | MRAM Freescale, Samsung, Toshiba | PRAM Samsung, STMicro | ReRAM Samsung, Micron, Spansion | PMC Quimonda Axson |
|--------------------|--|---|--|---|--|--|---|
| Cell Structure | Floating Gate MONOS | Floating Gate MONOS | Chain 1Tr/1Cap | 1Tr/1MTJ | 1Tr/1R 1Diode/1R | 1Tr/1R | 1Tr/1R |
| Program/Erase | FN Tunnel/ FN Tunnel | Hot Electron/ Hot Hole | Voltage Pulse | Spin Transfer | Current Pulse | Current Pulse | Current Pulse |
| Multi-Level | 4 Levels | 4 Levels | 2 Levels | 2Levels | 4 Levels | 2 Levels | 4 Levels |
| Cell Size/Bit | 0.0037um2 | 0.012um2 | 0.612um2 | 1.872um2 | 0.047um2 | - | 0.26um2 |
| Design Rule @ 2007 | 0.043um | 0.045um | 0.13um | 0.24um | 0.11um | - | 0.18um |
| Capacity @2007 | 16Gb | 1Gb | 64Mb | 16Mb | 512Mb | - | 2kb |
| Program Time | 100usec | 1usec | 1-10nsec | 10nsec | 500nsec | 10nsec | 250nsec |
| Erase Time | 1msec | 1sec | 1-10nsec | 10nsec | 50nsec | 10nsec | 250nsec |
| P/E Current /cell | 150nA・2.4nA | 120uA・~nA | 10uA・10uA | 200uA・ 200uA | 50uA・ 450uA | 30uA・60uA | 200uA・ 200uA |
| Endurance (target) | 1E4 | 1E4 | 1E14 | 1E15 | >1E9 | 1E>6 | 1E>10 |
| Retention (target) | 10yr@25C | 10yr@55C | 10yr@85C | 10yr@85C | 10yr@85C | 10yr@85C | 10yr@85C |
| M.P. Time | 2007 | ? | 2008 | 2010 | 2008 | ? | ? |
| Paper |  K.Kanda et al, ISSCC2008 |  J.Javanifard et al, ISSCC2008 |  K.Hoya et al, ISSCC 2006 |  Y.Iwata et al, ISSCC20006 |  K.J.Lee et al, ISSCC2007 |  K.Tsunoda et N.Gilbert et al, IEDM2007 |  J. SSC 2007 |

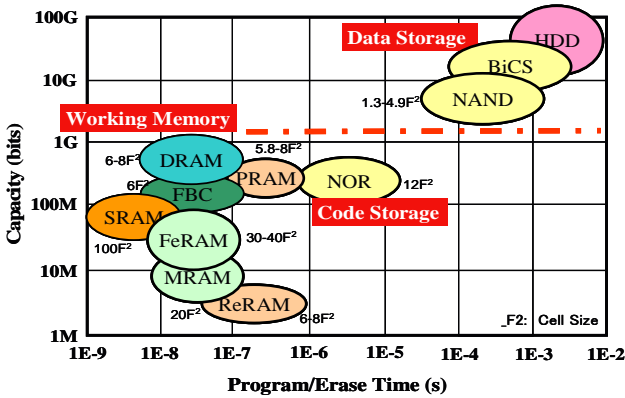


図4・12 各種メモリのビット容量と書き込み・消去時間との関係

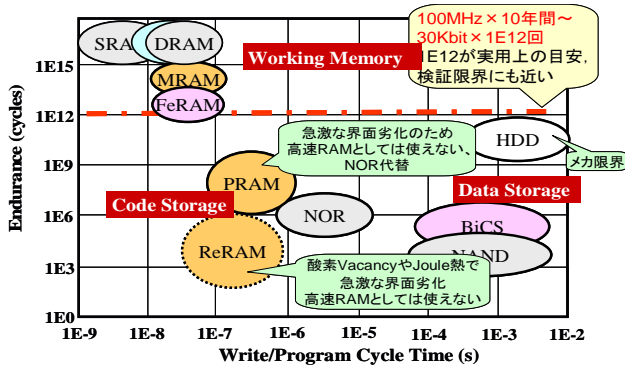


図4・13 各種メモリの Endurance 特性（書換え耐性）と書き込み・消去時間との関係

表4・5 各種メモリの技術課題

| メモリ | 技術課題 |
|-------|--|
| DRAM | High-kキャパシタ絶縁膜、高アスペクト比キャパシタ加工、Retention特性劣化抑制、アレイTr駆動能力向上、セル寄生抵抗低減 |
| FBC | 信号量確保、Power低減、Retention特性改善、Scalability |
| SRAM | ゲート絶縁膜リーク抑制、Stress Engineeringによる移動度増強、Soft Error抑制、メタル電極 |
| NAND | 高アスペクト比セル微細加工、隣接セル間干渉抑制、セル短チャネル効果改善、信頼性確保、書き込み電圧低減、高誘電体インターポリ膜、薄膜トンネル絶縁膜 |
| NOR | セル短チャネル効果、隣接セル間干渉抑制 |
| FeRAM | Imprint特性改善、キャパシタ加工ダメージ抑制、BEOLダメージ抑制、Endurance特性改善、3次元キャパシタ実現、セル微細化 |
| MRAM | 書き込み電流削減、MTJのMR比向上、Switching特性のセル間/事象間/熱的バツキ抑制、Scalabilityの確保、BEOLプロセスの低温化 |
| PRAM | 書き込み電流削減、Endurance特性改善、隣接セル干渉、蓄熱効果抑制、Retention改善、Set時間高速化 |
| ReRAM | 詳細メカニズムの解明、抵抗変化材料/電極材料選択、信頼性 (Endurance特性) 改善 |
| PMC | 動作安定化、信頼性 (Endurance特性、Retention特性) 改善、Over Write制御 |
| 有機メモリ | 熱的安定化、信頼性 (Endurance特性、Retention特性) 改善、BEOLプロセスの低温化 |

今後更に急激に発展するメモリ応用市場が期待されているが、各種メモリは、製品化に向け表4・5に示すようなまだ多くの技術課題を解決する必要がある、今後の研究開発の進展を期待する。以下にフラッシュメモリ以外のストレージメモリとして、PRAM及びReRAMについて説明する。

4-5-2 PRAM (Phase-change RAM)

PRAMのメモリ素子構造は、図4・15に示すように、基本的にはカルコゲナイド半導体を金属のヒータ下部電極と上部電極で挟んだ素子構造を用いている。数百nsと長めの中電流パルスの印加により、アモルファスの高抵抗状態から結晶性の低抵抗状態に移行し(セット)、短い大電流パルスの印加により、結晶性の低抵抗状態からアモルファスの高抵抗状態に戻る(リセット)。三星が2007年に90nmルールで512Mbitのサンプルチップ技術を発表し、にわかにその高密度化の潜在能力が注目されている。セル寸法は5.8F2で、ダイオードをアクセス素子として採用することによって書込み電流が大きいことを克服している⁵⁾。

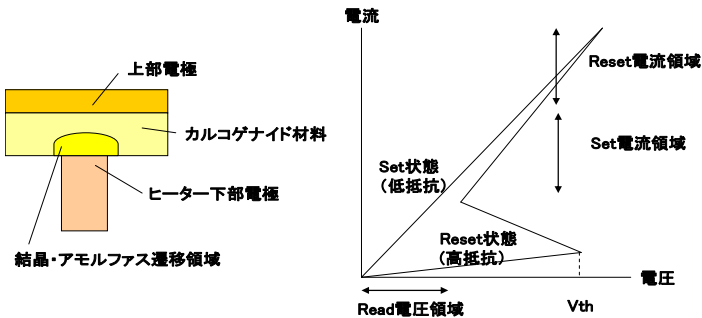


図4・15 PRAMの基本構造とI-V特性⁹⁾

開発課題としては、書込み電流の低減や、信頼性向上などがある。書込み電流削減に関してはカルコゲナイド半導体自体の組成やドーピング、電極界面材料の導入などが検討されている⁸⁾。信頼性に関しては、Endurance特性とRetention(リテンション)特性のトレードオフ関係の打破が必要で、カルコゲナイド材料設計が重要である。Endurance評価後に劣化している素子をEDXで観察すると、Sbの下部電極界面への偏析が見られる¹⁰⁾。このような微視的考察による材料の最適設計が今後も必須である。

■書込み電流低減

- ⇒ ヒータ面積低減
- ⇒ カルコゲナイド材料への窒素や酸素のドーピング
- ⇒ 熱効率向上 (Confinement構造、高熱抵抗材挿入)
- ⇒ アクセス素子の高駆動能力化(Diode, Bipolar Tr.)

■信頼性向上

- Retention特性改善 ⇒ カルコゲナイド材料設計
- 抵抗値ドリフト ⇒ トラップ密度制御
- Endurance特性改善 ⇒ カルコゲナイド材料設計、電極界面制御

図4・16 PRAMの主要課題と対策

4-5-3 ReRAM (Resistive RAM)

ReRAM は、素子構造が簡単なうえ、不揮発性の大きな抵抗変化が実現でき、微細化や多値化などの可能性もあり、最近特に注目されている。現状ではペロブスカイト系金属酸化物と二元系金属酸化物に関する研究が盛んである。図 4・17 に示すように、抵抗変化動作は、印加電圧の極性によらず抵抗変化のセット・リセットが可能なノンポーラ型と、印加電圧の両極性を利用して抵抗をセット・リセットするバイポーラ型、の 2 種類が存在する。また、抵抗変化の局所性から、素子の一部のパスだけが抵抗変化に寄与するフィラメント型と、電極界面全体が抵抗変化に寄与する界面型、の 2 種類が存在する。

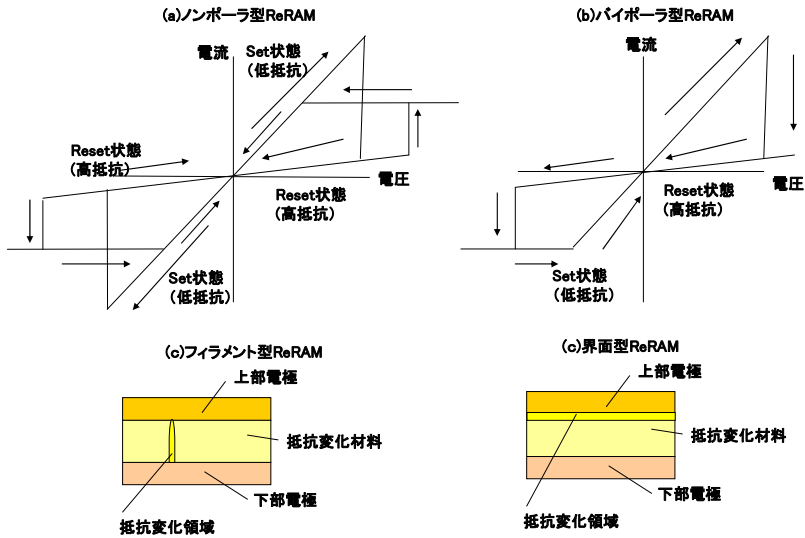


図 4・17 ReRAM の動作特性と抵抗変化領域の分類

表 4・6 各種抵抗変化材料の報告例と動作機構 (出典 : M.Kawasaki, et al., SSDM2006, pp.286-287 11)

| Sample | Group | Mode | Conduction | I-V | Mechanism | | |
|-----------------------|-----------------------|----------|----------------------|---------------------------------|-------------------------|-----------|------------------|
| Ag/PCMO/YBCO or Pt | Houston | Bipolar | Plane (Interface) | Space Charge Limited Current | ①Oxygen diffusion | | |
| Ag/PCMO, Ag/LaCaO3 | Houston | Bipolar | | | | | |
| Ag/PCMO/Pt | Matsushita, AIST-CERC | Bipolar | | | ②Trapping | | |
| TiN/CuxO/Cu | Spansion | Bipolar | | Filament | Tunneling or Hopping | ③Charging | |
| Ti/PCMO, SRO/Nb:STO | AIST-CERC | Bipolar | | | | Schottky | ④Mott transition |
| Pt/Nb:STO | GIST | Bipolar | | | | | |
| Theory | AIST-CERC | Bipolar | | | | | |
| Au or Pt/STO/Au or Pt | Julich | Bipolar | Filament | Tunneling or Hopping | ⑤Oxygen diffusion | | |
| Pt/(NiO)/TiO2/Pt | Fujitsu | Nonpolar | | | ⑥Mott transition | | |
| Pt/NiO/Pt | Samsung | Nonpolar | | | | | |
| Theory, Pt/NiO/Pt | Paris-Sud, AIST-CERC | Nonpolar | | | | | |

表 4・6 に、主な抵抗変化材料の報告結果のまとめを示す^{11)~12)}。CMOS プロセスと相性の良い NiO などの二元系金属酸化物は、ノンポーラ型のフィラメント動作で、フィラメントの陽極界面での酸化還元反応が、動作機構と最近いわれている⁶⁾。しかし、いずれの場合も抵抗変化の機構は必ずしも明確でなく、実用化に向けた技術開発の大きな障害になっているため、機構の解明における進展が切望される。

■参考文献

- 1) K. Kanda, et al., "23.6 - A 120mm2 16Gb 4-MLC NAND Flash Memory with 43nm CMOS Technology," ISSCC Dig., pp.430-431, 2008.
- 2) J. Javanifard, et al., "A 45nm Self-Aligned-Contact Process 1Gb NOR Flash with 5MB/s Program Speed," ISSCC Dig., pp.424-425, 2008.
- 3) K. Hoya, et al., "A 64Mb chain FeRAM with quad-BL architecture and 200MB/s burst mode," ISSCC Dig., pp.134-135, 2006.
- 4) Y. Iwata, et al., "A 16Mb MRAM with FORK wiring scheme and burst modes," ISSCC Dig., pp.138-139, 2006.
- 5) K. J. Lee, et al., "A 90nm 1.8V 512Mb Diode-Switch PRAM with 266MB/s Read Throughput," ISSCC Dig., pp.472-473, 2007.
- 6) K. Tsunoda, et al., "Low Power and High Speed Switching of Ti-doped NiO ReRAM under the Unipolar Voltage Source of less than 3V," IEDM Tech. Dig., pp.767-770, 2007.
- 7) N. Gilbert, et al., "An Embeddable Multilevel-Cell Solid Electrolyte Memory Array," J.of SSC, pp.1383-1391, 2007.
- 8) Y. Matsui, "Current Status and Future View of Phase Change Memory," SSDM Tech. Dig., pp.826-827, 2007.
- 9) S. Lai, "Current status of the phase change memory and its future," IEDM Tech. Dig., pp.255-258, 2003.
- 10) B. Rajendran, et al., "On the Dynamic Resistance and Reliability of Phase Change Memory," Symp. On VLSI Tech. Dig., pp.96-97, 2008.
- 11) M. Kawasaki, et al., "Mechanism of Resistance Switching Memory Effect in Oxides," SSDM Tech. Dig., pp.286-287, 2006.
- 12) A. Sawa, "Nonvolatile resistance-switching memory in transition-metal oxides (ReRAM)," Oyo-butsumi, vol.75, no.9, pp.1109-1114, 2006.