

■10 群 (集積回路) - 2 編 (集積回路製造技術)

4 章 プロセスモジュール技術

(執筆著: 梅田浩司) [2010 年 4 月 受領]

■概要■

大規模集積回路 (LSI) の製造は、前章で述べられているプロセス要素技術を何百回も複雑に組み合わせて行われる。しかし、製造過程にある LSI をその途中で微視的に観察してみると、SoC やメモリといった LSI としての機能が異なっても、本章で説明するモジュールごとに形作られていくのがわかるであろう。プロセスモジュールとは、製造フロー上では数十工程からなる単位であると同時に、LSI を構成する個々の素子をさらに細分化した単位でもある。

また、デバイス開発をするうえで、LSI のすべての機能を形成せずに、モジュールごとに同時並行の開発を行うといった手法がとられる場合がある。新たに開発されたプロセスモジュール技術を結合し、デバイスが開発されていく。とはいえモジュール間での相互干渉もあるため、モジュールを構成する個々の要素技術の内容から、モジュールが LSI の機能としてどう作用しているかまでを理解する必要がある。

【本章の構成】

本章では、主要なプロセスモジュール技術として、デバイスを電氣的に孤立化させる素子間分離技術、MOS Tr.の心臓部ともいべきゲートスタック形成技術、そして個々のデバイスを集積回路として機能させるためのコンタクト形成技術と多層配線技術とを、一般的な製造プロセスの順序で述べていく。プロセス要素技術の一つである CMP 技術は、特に関わりが深い多層配線の直後に解説する。

これら前工程のモジュール技術に加えて、後工程のモジュール技術である実装技術をアセンブリとパッケージングとに分けて説明する。さらに、製造プロセスとデバイス機能とを計算機上でシミュレートする技術、及び、完成した LSI を安定稼働させるための信頼性技術に関して、具体例を交えて詳解する。

■10 群 - 2 編 - 4 章

4-1 素子間分離技術

(執筆著：猪川 洋) [2010年1月 受領]

素子間分離技術とは、素子間の領域（素子分離領域やフィールドと呼ばれる）の寄生チャネルのしきい値電圧を上げて素子間リーク電流を減らし耐圧が確保できる分離構造を形成する技術である。しきい値電圧を上げるためには厚いフィールド絶縁膜を形成し、直下の不純物（チャネルストップ）濃度を上げることが基本となる。素子分離の幅や素子自体の幅を微細化しても十分な分離特性と正常な素子特性が実現できるように技術開発が行われてきた。

4-1-1 LOCOS

選択酸化（LOCOS : Local Oxidation of Silicon）分離は、酸素や水が透過し難いシリコン窒化膜（ Si_3N_4 ）をマスクにしてシリコン（Si）基板を選択的に熱酸化して素子間を分離する方法である（図 4・1）。本方法は、(1)工程が比較的簡単であること、(2)酸化膜厚の約半分が Si 基板内に形成されるため表面段差が小さく、しかも「なだらか」であること、(3) Si_3N_4 を不純物導入のマスクとして使うことにより素子分離領域にのみ選択的にチャネルストップ不純物を導入できること、などの理由により素子分離技術として広く使われてきた。

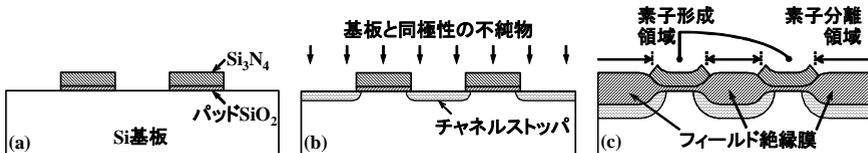
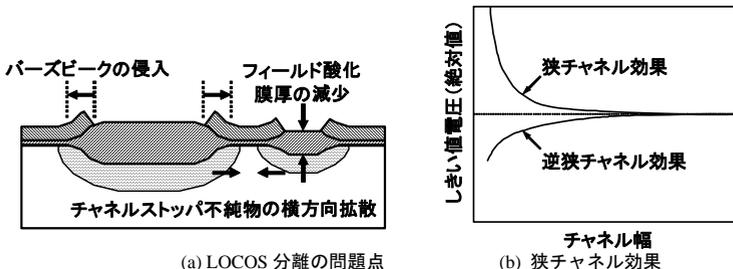


図 4・1 LOCOS（選択酸化）分離の工程断面図

LOCOS 分離の問題点としては、(1) Si_3N_4 による引っぱり応力を緩和して Si 基板中の結晶欠陥の発生を抑えるために挿入されているパッド SiO_2 に沿って酸化が横方向に進行し（バズビークの侵入）、素子形成領域の幅が減少すること、(2)チャネルストップ不純物が素子形成領域に侵入して素子特性が変化すること、(3)素子分離領域の幅が減少するに従ってフィールド酸化膜厚が減少し素子間リーク電流や耐圧などの分離特性が劣化すること、などである（図 4・2(a)）。(2)の代表例がチャネル幅の減少に伴う MOSFET しきい値電圧の上昇（狭チャネル効果）である（図 4・2(b)）。これらの問題点は、素子分離領域や素子形成領域の幅が小さくなるに伴って深刻化するため、種々の改良が LOCOS 分離に対して施されてきた。



(a) LOCOS 分離の問題点

(b) 狭チャネル効果

図 4・2 LOCOS 分離の問題点と狭チャネル効果

LOCOS 分離に対する主な改良方法を以下に説明する。

(1) フィールド酸化の前に予め Si 基板に窪みを形成しておく方法 (図 4・3(a) : リセス LOCOS). フィールド酸化膜の深さを確保したり, 酸化後の平坦性を向上したりする目的で使われる. 窪みを形成する方法としては, 種々のウェットエッチングやドライエッチングに加えて, 熱酸化と酸化膜除去による方法などが行われている. (2) Si_3N_4 /パッド SiO_2 の端面を第 2 の Si_3N_4 で封止して, 横方向酸化の進行を防止する方法 (図 4・3(b) : 枠付き LOCOS). (3) パッド SiO_2 と Si_3N_4 の間にポリ Si をはさむ方法 (図 4・3(c) : ポリバッファード LOCOS). ポリ Si を応力緩和層として用いる結果, パッド SiO_2 を薄くし Si_3N_4 を厚くしても, 結晶欠陥を生じることなく横方向の酸化を抑えることができる.

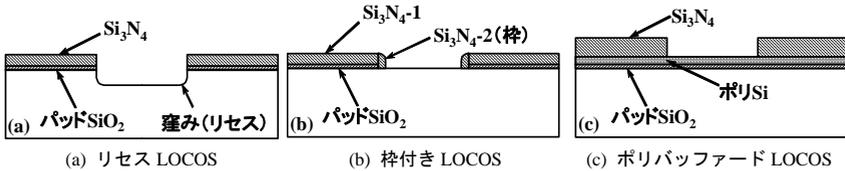


図 4・3 改良された各種の LOCOS 分離 (フィールド酸化前の断面構造)

その他, SiO_2 が粘性流動を生じる 1100 °C 程度まで酸化温度を上げることによってフィールド酸化膜の横方向の伸びを抑え幅の狭い素子分離領域におけるフィールド酸化膜厚の減少を緩和すること, 選択酸化後にフィールド酸化膜を通過するチャンネルストップ用イオン注入を行うことによりチャンネルストップ不純物の横方向拡散を低減することなども行われている. 実際には, これらの方法を組み合わせたり, 更に変更を加えたりすることによって, おびただしい数の改良された LOCOS 分離が提案されている^{1),2)}.

4-1-2 STI

LOCOS 分離における微細化の限界を打破する技術として, 分離溝をエッチングにより予め形成した後にフィールド絶縁膜を溝中に埋め込む浅溝分離 (STI : Shallow Trench Isolation) が考案された. STI は 1980 年代の初めから検討されてきたが, 素子間分離の溝幅が様々であるため, 堆積したフィールド絶縁膜を簡単な工程で一律に平坦化することに困難があった. しかし, 化学的機械的研磨 (CMP) による平坦化技術の進歩に伴い, 0.25 μm 世代から本格的に使用されるようになった³⁾. STI 工程の例を図 4・4 に示す.

まず, 素子形成領域を定める Si_3N_4 とパッド SiO_2 を形成して, Si 基板に溝をエッチングする. 溝の内壁を熱酸化した後に, 必要に応じて溝底面や溝側面にチャンネルストップ不純物を導入する. その後 CVD SiO_2 を堆積し, CMP などの平坦化技術を用いて CVD SiO_2 を平坦に削って Si_3N_4 を露出させる. 最後に Si_3N_4 を取り除いて素子分離構造を完成させる.

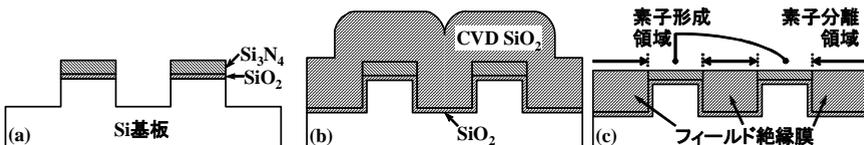


図 4・4 STI (浅溝分離) の工程断面図

STI の問題点としては、(1)溝に埋め込んだ材料 (CVD SiO₂ など) の収縮による応力や熱膨張係数差による応力などにより、Si 基板中に結晶欠陥が生じること、(2)埋め込んだ材料の被覆性が悪かったり、溝の両側面から成長した膜がお互いに接触する部分 (溝の中央部) で脆弱になったりしてポイドやスリットが発生すること、(3)フィールド酸化膜の平坦化が不適切で、局所的な段差が生じたり幅の広い素子分離領域でフィールド酸化膜厚が薄くなったりすること、(4)素子形成領域の端部の形状や不純物分布の最適化が不十分で、MOSFET 特性に逆狭チャネル効果 (図 4・2 (b)) が現れたり、サブスレシヨルド特性にハンプ (こぶ) が現れたりすること (図 4・5 (a)) などがあげられる。特に (4) の問題は、素子形成領域の端部 (Si 凸状コーナー部) のしきい値電圧が平坦部に比べて低下することに起因している。図 4・5 (b) に、これらの特性に影響を与える要因を示す。コーナー曲率半径、側壁テーパ角、側壁へのチャネルストップ不純物量、フィールド酸化膜のリセス量などを最適化する必要がある。

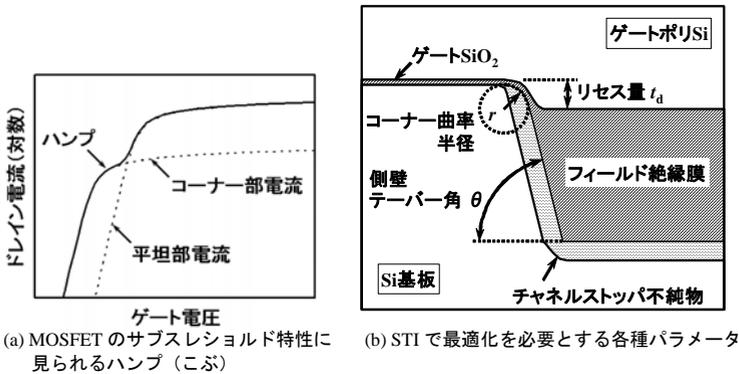


図 4・5 MOSFET のサブスレシヨルド特性に見られるハンプ (こぶ) と STI で最適化を必要とする各種パラメータ

4-1-3 SOI

絶縁膜上の Si (SOI : Silicon on Insulator) は、MOSFET の高速・低消費電力化、微細化、3次元化などに有用な材料と考えられている。素子間分離の観点でも、素子間の Si を完全に取除いて分離できるため、高耐圧の素子を混載したり CMOS のラッチアップを防止したりするうえで有利であるが、SOI の素子間分離技術には特有の課題もある。

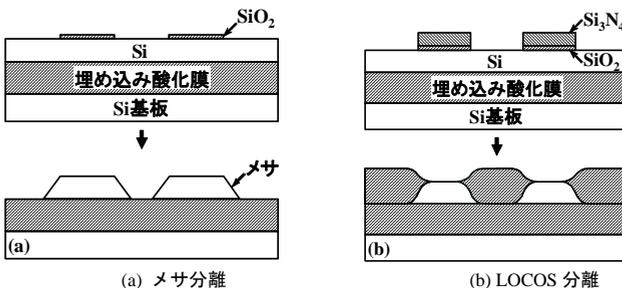


図 4・6 SOI のための素子間分離技術

SOIのための最もシンプルな素子間分離は、素子分離領域のSiを取り除くだけのメサ分離である(図4・6(a)). Siの除去には様々なエッチング法が利用可能であるが、KOH水溶液などの異方性ウェットエッチングを利用すると、水平面すなわちSi(100)に対して54度の傾斜をもったSi側面を得ることができるため、その後の膜形成や加工に困難を生じることなく素子を形成できる. その他、バルクSiの場合と同様に、工程の比較的単純なLOCOS分離もよく使用される(図4・6(b)).

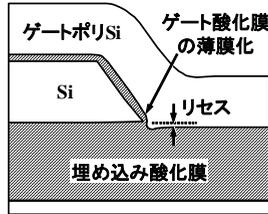


図4・7 メサ端部の形状 (ゲート酸化とゲートポリSi堆積後)

しかし図4・7に示すとおり、メサ分離ではフッ酸系の洗浄によって埋め込み酸化膜にリセスが生じ、Si下部の鋭角コーナーが露出する。SiO₂の粘性流動の生じにくい1000℃以下の酸化ではコーナー部で酸化速度が低下してゲート酸化膜が局部的に薄くなる。また、鋭角コーナーではボロンなどのp型不純物濃度は酸化膜への偏析によって低下しやすく、形形的にも電界が集中しやすい。これらの要因によりコーナー部でのしきい値電圧が低下して、図4・5(a)に示したようなサブスレショルド特性のハンプが生じる。LOCOS分離ではゲート酸化膜の薄膜化の問題はないが、同じく鋭角コーナーが形成されるため同様のハンプが生じやすい。対策としては素子分離後に局所的なイオン注入でチャンネルストップ不純物を追加するが、過剰な狭チャネル効果が生じないように最適化が必要である。LOCOS分離では、フィールドのSiを消失させるために過剰に酸化すると、Si層が裏面から酸化されて端部が上に押し上げられ結晶欠陥が生じることがあるので注意が必要である。

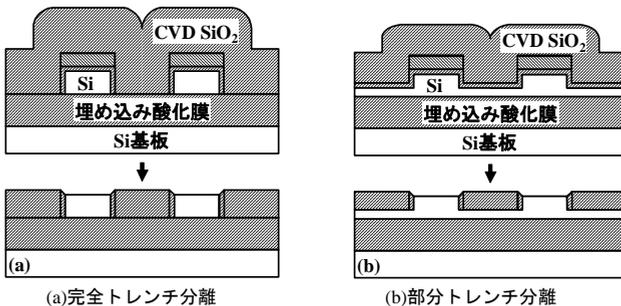


図4・8 SOIのための素子間分離技術 (続き)

バルクSiと同様に、より微細な素子間分離を行うためにはトレンチ分離が有用である。トレンチ分離にはSi層を完全に取り除く場合(図4・8(a))と部分的に残しておく場合(図4・8(b))の両方式がある。完全に分離したSOI MOSFETでは、衝突電離などで発生した多数

キャリアを容易に排出できないため、ドレイン電圧・電流特性にキックが生じたり寄生バイポーラ効果によってドレイン耐圧が低下したりする問題があるが、部分トレンチ分離では残した Si 層にコンタクトを取って多数キャリアを排出して動作を安定化することができる。積極的に Si 層の電位を制御して、オン電流を増加させたりオフ電流を低減したりすることもできる⁴⁾。

■参考文献

- 1) N. Shimizu, et al., "A poly-buffer recessed LOCOS process for 256 Mbit DRAM cells," IEEE IEDM Tech. Dig., pp. 279-282, 1992.
- 2) Y. Sudoh, et al., "A New SSS-OSELO Technology for 0.15- μ m Low-Defect Isolation," Symp. VLSI Technology, Dig. Tech. Papers, pp.117-118, 1995.
- 3) P. C. Fazan and V. K. Mathews, "A highly manufacturable trench isolation process for deep submicron DRAMs," IEEE IEDM Tech. Dig., pp.57-60, 1993.
- 4) Y. Hirano, et al., "A Novel Low-Power and High-Speed SOI SRAM With Actively Body-Bias Controlled (ABC) Technology for Emerging Generations," IEEE Trans. Electron Devices, vol.55, 1, pp.365-371, 2008.

■10 群 - 2 編 - 4 章

4-2 ゲートスタック形成技術

(執筆著：西岡泰城) [2010年1月 受領]

CMOS トランジスタはスケーリング則に従って微細化されているが、その主要な構成要素の一つであるゲート絶縁膜も薄膜化が加速している。2009年以降にはゲート絶縁膜は酸化膜換算で1nm以下の膜厚に対応する静電容量を確保しなければならない。そのためにゲート絶縁膜としてHfO₂系の酸化膜が有望とされている。ところが、この絶縁膜特性には上部電極に関連する様々な問題が起こっており、ゲート絶縁膜とゲート電極の問題を総合的に解決していく必要がある。この研究分野はゲートスタック技術として発展してきている¹⁾⁻³⁾。

図4・9は国際半導体ロードマップ(IRTS)の2007年版⁴⁾の各年度におけるゲート絶縁膜の酸化膜換算膜厚(EOT)の要求値を示している。EOTの薄膜化に対する要求は著しく、例えば2012年には平坦な構造(Planar Bulk)のCMOSトランジスタでは0.5nm(高性能:HP), 0.8nm(動作時低消費電力:LOP), 1.2nm(待機時低消費電力:LSTP)のEOTを確保すべきとされている。

また、このPlanar Bulk型のトランジスタ構造は2013年までには終焉を迎え、その後は完全空乏SOI(FD SOI)及びDualゲート型トランジスタに変わっていくと予測されている。したがって、近い将来に3次元構造のチャネルを覆うようにHigh-kゲート絶縁膜を形成しなければならない、更なる技術課題に挑戦していかなければならない。

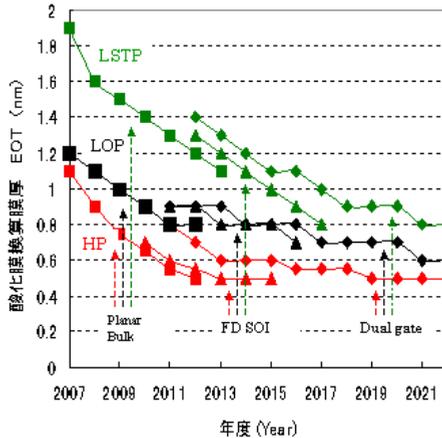


図4・9 国際半導体ロードマップ(IRTS)の2007年版⁴⁾の各年度におけるゲート絶縁膜の酸化膜換算膜厚(EOT)の要求値

図4・10はシリコン酸化膜(SiO₂), シリコン酸窒化膜(SiON), ハフニウム系酸化膜(HfO₂)を主成分とする絶縁膜⁵⁾⁻¹⁰⁾及び最近報告されたLa₂O₃^{11), 12)}やPr₂O₃¹³⁾などのEOTとゲートリーク電流の関係を示したものである。また、ITRSによる各世代のゲート絶縁膜(Planar Bulk対応)に対するリーク電流の最大許容値も示している。この図よりSiO₂やSiON膜では要求されるリーク電流を実現できなくなることがわかる^{14), 15)}。

一方、 HfO_2 系絶縁膜をCMOSプロセスに整合させることができれば、2012年頃まではLSTPに対するリーク電流の要求を満たすことができると考えられる。

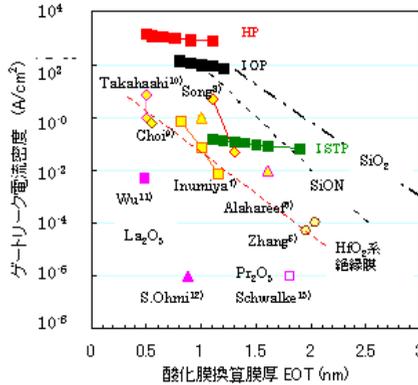


図 4・10 酸化膜換算膜厚 (EOT) とゲートリーク電流密度の関係

4-2-1 SiO_2 系ゲート絶縁膜

膜厚 1.5 nm 以上の SiO_2 ゲート絶縁膜をもつ FET はトランジスタとして正常に動作することが報告されている¹⁶⁾。しかしながら、 SiO_2 膜厚が 1.4 nm 以下になると急激に増大する直接トンネル電流の効果によりドレイン電流の低下が報告されている¹⁴⁾。また、シリコンと SiO_2 界面の 1 nm 程度の歪領域が信頼性に与える効果が大きくなり¹⁵⁾、 SiO_2 の実用化は 1.5 nm が限界だと考えられている。また、図 4・10 からわかるように SiO_2 や SiON 絶縁膜は 2010 年以降の ITRS のリーク電流に関する要求を満たすことができない。 SiO_2 をはじめ現在検討されている High-k ゲート絶縁膜でも直接トンネル現象がリーク電流を支配している。直接トンネルリーク電流密度を J_g [A/cm^2] とすれば、 $J_g = J_0 \exp(-A \cdot T_{\text{ins}})$ と表される。ここに、 J_0 と A はそれぞれの絶縁膜に固有の値をとり、 J_g は絶縁膜厚 T_{ins} の減少に伴い急激に増加してしまう。High-k 絶縁膜は、誘電率が SiO_2 や SiON 絶縁膜よりも大きいので、 T_{ins} を大きくできるので J_g 同じ静電容量を保ちつつ直接トンネル電流を下げるのであり得るのである。ゲート絶縁膜は薄膜化させるがリーク電流密度は増加させないという ITRS の要求は、従来の SiO_2 や SiON 系絶縁膜の終焉を意味している。

4-2-2 高誘電率ゲート絶縁膜

シリコン酸化膜の物理的限界が明らかになるに連れて、新材料の探索が始まった¹⁷⁾。そのなかで、まず候補にあがったのは HfO_2 と ZrO_2 であった。しかし、ポリシリコンゲート電極に関わる高温のプロセスによって HfO_2 や ZrO_2 の結晶化が起こってリーク電流が増加し、 P^+ ポリシリコンゲートからのボロンつき抜けなどの問題が起こった。一方、この HfO_2 に微量のシリコンを導入 (シリケート化) することによって結晶化が抑えられることがわかった¹⁸⁾。この絶縁膜を窒化して窒素を導入するとボロンつき抜け現象も抑えられることがわかり¹⁹⁾、 SiON 系絶縁膜の後継絶縁膜として HfSiON 系絶縁膜の研究開発が加速した。また、これらの

膜に微量の Al を混入させると耐熱性や移動度が向上し、初期絶縁破壊頻度も減少したとの報告もある²⁰⁾。

これら HfSiON 系絶縁膜の作製は、有機金属気相化学成長法 (MOCVD 法)⁷⁾、高真空中で 1 原子層ずつ製膜する ALD 法 (Atomic Layer Deposition 法)²¹⁾ などが用いられている。

4-2-3 ポリシリコンゲート電極

4-2-2 項で紹介した HfSO₂ 系絶縁膜は、シリコンプロセスとの整合性を保つため多くの問題を解決しなければならなかった。HfO₂ は Hf⁴⁺ と O²⁻ のイオンからなるイオン結合材料であり、共有結合により構成されている SiO₂ 系絶縁膜とは異質の問題が起こった。特に、ポリシリコンゲート形成プロセスにおける高温熱処理により O²⁻ イオンや原子状酸素が移動したためと考えられる現象により様々な問題が起こってきた。最大の問題点は NMOSFET と PMOSFET のしきい値の変動であり、それぞれしきい値の絶対値が減少した。

この現象は単なる界面電荷の発生では説明できない。このしきい値の異常現象に関しては、HfO₂ 中の酸素空孔と電極の間の相互作用によってこの電極の仕事関数を実効的に変化すると考えるフェルミレベルピンニングモデルが有力である^{21)、23)}。しきい値制御のため高温のポリシリコンプロセス後にゲート側壁から O₂ を拡散させる方法も提案されている²⁴⁾。また、HfAlO(N) 絶縁膜中の Al 分布を最適化する方法もある²⁵⁾。

その他、多結晶シリコンプロセスに関わる問題点としては、High-k 材料の界面での空乏層による容量の減少、ポリシリコンと High-k 絶縁膜界面の酸化による EOT の増加、High-k 膜下側のシリコンの酸化による EOT の増加、ゲート電極と High-k 絶縁膜界面の捕獲電荷や界面ラフネスによるクーロン散乱による移動度の減少などがある。

4-2-4 メタルゲート技術

上記の多結晶シリコンゲート電極の問題点を解決するために、現在メタルゲート/High-k ゲートスタックの研究が盛んである。これらのプロセスは大きく分けて、(1)ゲートファースト方式と(2)ゲートラスト方式に分類される。ゲートファースト方式とは従来のプロセスに近く、ゲートスタックを形成後にソース・ドレインなどの高温熱処理を行うもので、ゲートスタックに対する耐熱性が要求される。一方、ゲートラスト方式は最初にソース・ドレインなどの高温プロセスを行った後にゲートスタックを形成する方法で、ゲートスタックに加わる熱処理プロセスの低温化を目指している。この方式は、直接ゲート電極が埋め込まれる溝にメタルを埋め込むダマシゲート方式 (リプレースメント方式)^{26)、27)} と多結晶シリコンを形成した後上部に堆積した金属によってシリサイド化するフルシリサイド (FUSI) 方式²⁶⁾ がある。

メタルゲート電極を用いる場合、NMOSFET と PMOSFET においてそれぞれ異なる仕事関数をもつ金属を形成する必要がある。そのため、NMOSFET 領域と PMOSFET 領域で異なる金属を堆積させる方法がいくつか提案されている^{5)、29)-31)}。その際の技術課題はしきい値の制御、移動度の向上、リーク電流の制御であり、それらに関して多くの報告がある³⁾。High-k ゲートスタックに関する信頼性評価のデータも報告されつつある³²⁾⁻³⁴⁾。従来の SiO₂ や SiON 系絶縁膜とは異なる絶縁膜の劣化機構の研究も必須となっている。

■参考文献

- 1) 丹羽正昭, “高誘電率ゲート絶縁膜の現状と課題,” 応用物理, vol.72, no.9, pp.1143-1150, 2003.
- 2) 関根克行他, “HfSiON 高誘電率ゲート絶縁膜技術,” 応用物理, vol.73, no.9, pp.1200-1206, 2004.
- 3) 奈良安雄, “メタルゲート/高誘電率絶縁膜スタックの最前線,” 応用物理, vol.76, no.9, pp.1006-1012, 2007.
- 4) International Technology Roadmap for Semiconductors, 2007 Update: <http://www.itrs.net/>
- 5) Z. B. Zhang et al., “Integration of dual metal gate CMOS with TaSiN (NMOS) and Ru (PMOS) gate electrode on HfO₂ gate dielectric,” Tech. Dig. Symp. VLSI Technology, p.50, 2005.
- 6) H. N. Alshareef, et al., “Thermally stable N-metal gate MOSFETs using La-incorporated HfSiO dielectric,” Tech. Dig. Symp. VLSI Technology, p.7, 2006.
- 7) S. Inumiya, et al., “Fabrication of high-mobility nitrated hafnium silicate gate dielectrics with sub-1-nm equivalent oxide thickness using plasma nitridation and high-temperature postnitridation annealing,” Jpn. J. Appl. Phys., vol.45, no.48, pp.2989-2902, 2006.
- 8) S. C. Song, et al., “Highly manufacturable 45nm LSTP CMOSFETs using novel dual high-k and dual metal gate CMOS integration,” Tech. Dig. Symp. VLSI Technology, p.13, 2006.
- 9) K. Choi, et al., “Extremely scaled gate-first high-k/metal gate stack with EOT of 0.55nm using novel interfacial layer scavenging techniques for 22nm technology node and beyond,” Tech. Dig. Symp. VLSI Technology, p.138, 2009.
- 10) M. Takahashi, et al., “Gate-first processed FUSI/HfO₂/HfSiOx/Si MOSFETs with EOT = 0.5nm—Interfacial layer formation by cycle-by-cycle deposition and annealing—,” Tech. Dig.Int. Electron Devices Meet., 2007.
- 11) Y. H. Wu, M. Y. Yang, A. Chin, W. J. Chen, and C. M. Kwei, “Electrical characteristics of high quality La₂O₃ gate dielectric with equivalent oxide thickness of 5 Å,” IEEE Electron Dev. Lett., vol.21, No.7, pp.341-343, 2000.
- 12) S. Ohmi, C. Kobayashi, K. Aizawa, S. Yamamoto, E. Tokumitsu, H. Ishiwaru, and H. Iwai., “High quality ultrathin La₂O₃ films for high-k gate insulator,” Proceeding of 31st European SSDRC., p.235, 2001.
- 13) U. Schwalke, et al., “Process integration of crystalline Pr₂O₃ high-k gate dielectrics,” Tech. Dig. ESSDERC, p.407, 2002.
- 14) G. Timp et al., “Ultra-thin gate oxides and ultra-shallow junctions for high performance, sub-100nm pMOSFETs,” Tech. Dig.Int. Electron Devices Meet., p.1041, 1998.
- 15) Y. Harada, K. Eriguchi, M. Niwa, T. Watanabe, and I. Ohdomari, “Impact of structural strain layer near SiO₂/Si interface on activation energy of time-dependent dielectric breakdown,” Jpn. J. Appl. Phys., vol.39, no.7B, pp.4687-4691, 2000.
- 16) H. S. Momose, et al., “Study of the manufacturing feasibility of 1.5-nm direct tunneling gate oxide MOSFETs: Uniformity, reliability, and dopant penetration of the gate oxide,” IEEE Trans. Ele. Dev., vol.45, no.3, pp.691-700, 1998.
- 17) G. D. Wilk, R. M. Wallace, and J. M. Anthony, “High-k gate dielectrics: Current status and materials properties considerations,” J. Appl. Phys., vol.89, no.10, pp.5243-5275, 2001.
- 18) G. D. Wilk, R. M. Wallace, and J. M. Anthony, “Hafnium and zirconium silicates for advanced gate dielectrics,” J. Appl. Phys., vol.87, no.1, pp.487-492, 2000.
- 19) A. Shanware, Tech. Dig. Int. Electron Devices Meet., p.137, 2001.
- 20) T. Kawahara, K. Torii, H. Ohji, R. Mitsuhashi, A. Muto, W. Kim, H. Itoh, and H. Kitajima, “Physical and electrical properties of HfAlOx films by atomic layer deposition using NH₃/Ar plasma,” Jpn. J. Appl. Phys., vol.43, pp.7884-7889, 2004.
- 21) C. C. Hobbs, et al., “Fermi -level pinning at the polysilicon/metal oxide interface -Part I,” IEEE Trans. Electron Dev., vol.51, No.6, pp.971-977, 2004.
- 22) Y. Akasaka, et al., “Modified oxygen vacancy induced fermi level pinning model extendable to p-metal pinning,” Jpn. J. Appl. Phys., vol.45, no.49, pp.L1289-L1292, 2006.
- 23) K. Shiraishi, et al., “Oxygen vacancy induced substantial threshold voltage shifts in the Hf-based high-k MISFET with p⁺poly-Si gates -A theoretical approach,” Jpn. J. Appl. Phys., vol.43, no.11A, pp.L1413-L1415, 2004.

- 24) E. Cartier, et al., "pFET Vt control with HfO₂/TiN/poly-Si gate stack using a lateral oxygenation process," Tech. Dig. of 2009 Symposium on VLSI Technology, p.42
- 25) M. Kadashima, et al., "Fermi level pinning engineering by Al compositional modulation and doped partial silicide for HfAlO_x(N) CMOSFETs," Tech. Dig. of 2005 Symposium on VLSI Technology, p.70.
- 26) A. Chatterjee, et al., "Sub-100nm gate length metal gate NMOS transistors fabricated by a replacement gate process," Tech. Dig. Int. Electron Devices Meet., p.821, 1997.
- 27) A. Yagishita, et al., "High performance metal gate MOSFETs fabricated by CMP for 0.1 μ m regime," Tech. Dig. Int. Electron Devices Meet., p.785, 1998.
- 28) B. Tavel, et al., "Totally silicided (CoSi₂) polysilicon: a novel approach to very low-resistive gate (~2ohm/sq.) without metal CMP nor etching," Tech. Dig. Int. Electron Devices Meet., p.825, 2001.
- 29) J. Lee, et al., "Tunable work function dual metal gate technology for bulk and non-bulk CMOS," Tech. Dig. Int. Electron Devices Meet., p.359, 2002.
- 30) S. B. Smavedam, et al., "Dual-metal gate CMOS with HfO₂ gate dielectric," Tech. Dig. Int. Electron Devices Meet., p.433, 2002.
- 31) F. Ootsuka, et al., "Ultralow-thermal-budget CMOS process using flash-lamp annealing for 45nm metal/high-k FETs," IEEE Trans. Electron Dev., vol.55, No.4, 2008.
- 32) 鳥居和功, 白石賢二, 宮崎誠一, 山田啓作, "HfO₂ 系ゲート絶縁膜の信頼性劣化機構モデル," 応用物理, vol.74, no.9, pp.1211-1216, 2005.
- 33) C. Prasad, et al., "Dielectric breakdown in a 45nm high-k/metal gate process technology," Proceeding of the 46th Annual International reliability Physics Symposium, p.667, 2008.
- 34) M. Sato, et al., "Cathode electron injection breakdown model and time dependent dielectric breakdown lifetime prediction in high-k/metal gate stack p-type metal-oxide-silicon field effect transistors," Jpn. J. Appl. Phys., vol.47, no.5, pp.3326-3331, 2008.

■10 群 - 2 編 - 4 章

4-4 多層配線技術

(執筆著者：上野和良) [2010年1月 受領]

多層配線においては、集積回路の微細・高集積化に伴って世代ごとに配線ピッチ（配線幅と配線間隔の和）が約 0.7 倍に縮小され、配線層数が増加する。配線の微細化に伴う配線断面面積の減少によって配線抵抗（ R ）が増加し、配線間隔の縮小によって配線間容量（ C ）が増加するため、配線の信号遅延（ RC 遅延）が増加する。配線材料として AlCu 合金、配線間絶縁膜として SiO_2 が長く用いられてきたが、微細化による RC 遅延の増加を抑制するため、およそ 180 nm ノード（配線幅 280 nm）を境として、AlCu より低抵抗な銅（Cu）、 SiO_2 より低誘電率な Low-k 絶縁膜が主に用いられるようになった。また、微細化と多層化を実現するためには、配線形成後の表面平坦性が必要なため、CMP が用いられている。Cu 配線は、後述するダマシン法によって形成するため、配線形成後の表面が平坦化され、多層化に有利である。本節では、AlCu 配線と Cu/Low-k 配線の形成方法についてまとめる^{1),2)}。

4-4-1 AlCu 配線と W ビア

AlCu 配線は、絶縁膜上にスパッタ法により AlCu 合金を堆積し、反応性イオンエッチング（RIE）により配線形状に加工して形成される。AlCu 中の Cu はストレスマイグレーション（SM）による断線故障を抑制するため 0.5~1 重量 % 添加される。更に、サブミクロン幅配線では、AlCu の上下を Ti、TiN などの薄い高融点金属で挟むことで、AlCu にポイドが発生しても断線しない構造になっている³⁾。AlCu 配線では、配線形成後の表面が凹凸なため、配線を絶縁膜で覆った後、平坦化が必要になる。絶縁膜の平坦化には、プラズマ CVD で配線を覆った後、流動性のあるスピノンガラス（SOG）を塗布、エッチバックして平坦化する方法がある。エッチバックによる平坦化ではグローバル平坦性が得られないため、CMP による平坦化も用いられる。

配線層間の接続を行うビアでは、ビアのアスペクト比（高さ/径）が高くなると断線しやすくなるため、ビア埋め込みプロセスが用いられる。これには高温で Al を流動化させる方法（Al リフロー）もあるが、W ビアが主流となっている。W ビアは、ビアホール形成後、スパッタ法により TiN などのバリアメタルを堆積し、 WF_6 などを原料ガスとする W-CVD により W をウェーハ全面に堆積（プランケット W 成長）し、RIE エッチバックや CMP により形成する。

4-4-2 Cu/Low-k 配線

Cu は RIE によるエッチング加工が難しいため、配線加工にダマシン法が用いられる。ダマシン法は、平坦化された絶縁膜に RIE により配線溝を形成し、それに金属を埋め込み、CMP によってパターン以外の金属膜を除去しパターン部にのみ金属を残す方法である。Cu ダマシンプロセスでは、配線溝 RIE 後、Cu の絶縁膜への拡散を防止するバリアメタル（Ta、Ta₂N₅、Ti など）と電解めっきのための Cu シード層をスパッタ法により真空連続で堆積する。その後、硫酸銅めっき浴を用いた電解めっきにより配線溝を Cu で埋め込み、めっき膜の膜質安定化と粒成長のため、150℃から 400℃の間の熱処理を行う。最後に CMP により不要な Cu とバリアメタルを除去し、同時に平坦化がなされる（図 4-4-1）。

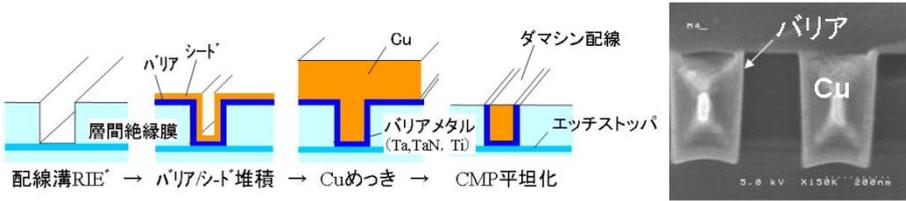


図 4-4-1 ダマシン法による Cu 配線形成フローと断面 SEM 写真

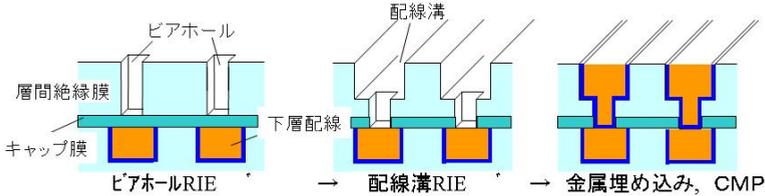


図 4-4-2 デュアルダマシン法による Cu 配線・ビア形成フロー（ビアファースト）

Cu ダマシン配線プロセスでは、配線とビアを同時に埋め込むデュアルダマシン (DD) 法を用いることで、工程数を減らし低コスト化できる (図 4-4-2)。DD 法には、RIE によるパターン加工の順番によってビアを先に加工するビアファースト、配線溝を先に加工するトレンチファーストプロセスがある。また、微細パターンの加工では、エッチング選択比の高いハードマスクを用いて加工が行われる。また、実際の配線構造では、配線溝の深さを一定とするためのエッチングストップ層や、Cu の拡散を防止するキャップ膜として SiCN などが用いられる。また、CMP による研磨量のパターン密度依存性を改善するため、ダミーパターンを配置するのが一般的である。

第一世代の Cu 配線では、層間絶縁膜に SiO₂ ($k \sim 4.2$) が用いられたが、130 nm ノード以降、順次 SiO₂ より誘電率の低い Low-k 絶縁膜が導入された。130 nm では SiOF ($k \sim 3.5$)、90 nm、65 nm では SiOC ($k \sim 3$)、45 nm 以降は絶縁膜中に空孔 (ポア) を導入したポーラス SiOC 膜などが用いられている。Low-k 化とともに絶縁膜の機械的強度が低下するため、ウェーハ工程中やパッケージ工程での剥離やクラックといった問題が発生し、Low-k 膜導入を困難にしている。更に配線容量を低減するため、配線間に空隙を形成するエアギャップ配線も検討されている。

配線幅 100 nm 程度以下の Cu 配線では、界面や粒界での電子散乱の影響による抵抗率の上昇が問題であり、粒界散乱を低減するために粒径の拡大が重要である。また、微細配線においては断面積の減少に伴い電流密度が上昇するため、エレクトロマイグレーション (EM) による断線故障が起きやすくなり、対策として Cu に Al、Ti などの添加が行われる。更に、EM 抑制のため、Cu 表面を CoWP などの金属で蓋をするメタルキャップ技術も開発されている。

■参考文献

- 1) 吉川公鷹 (監修), “次世代 ULSI 多層配線の新材料・プロセス技術,” 技術情報協会, 2000.
- 2) 上野和良, “半導体デバイスにおける多層配線技術の進展と今後の展開,” 電気学会誌, vol.128, no.3,

pp.157-159, 2008.

- 3) 新宮原正三(監修), “金属微細配線におけるマイグレーションのメカニズムと対策,” サイエンス&テクノロジー, 2006.

■10 群 - 2 編 - 4 章

4-5 CMP 技術

(執筆者：鈴木 繁) [2010年1月 受領]

近年の露光技術の発展によりデバイスの微細化は更に進み、同時に、デバイスの平坦化への要求も 10 nm 以下を切る厳しいものになっている (図 4-5・1)。1990 年代、微細化の要求から半導体製造プロセスに CMP 技術が導入され、当初はフォトリソの DOF (焦点深度) の課題解決が主目的だったが、最近では、STI (Shallow Trench Isolation) や Cu ダマシム配線の形成に見られるような、埋め込み形成に欠かせない技術となっている。

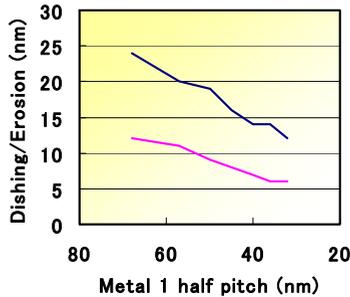


図 4-5・1 Dishing, Erosion の要求値¹⁾

4-5-1 CMP の原理

CMP (Chemical Mechanical Polishing/Planarization) は、半導体では、主にシリコンや絶縁膜の平坦化や配線材料の形成に使われる技術である。

研磨速度 RR を表す数式として、下記の Preston の式がよく知られており、研磨布 (研磨パッド) とウェーハの相対速度と、ウェーハに加えられる圧力に比例して研磨速度は上昇する。

$$RR = k \cdot V \cdot F \quad (k: \text{定数}, V: \text{相対速度}, F: \text{研磨の圧力})$$

CMP プロセスでは、表面に凹凸形状を有するウェーハに対して、研磨布を配置し、ウェーハと研磨布の間に砥粒を含む研磨液 (スラリー) を供給し、更に研磨布をウェーハに対して相対的に運動させることで、ウェーハ上の凸部が優先的に除去され、平坦化される (図 4-5・2)。凸部は研磨液により化学的に溶解される成分と、研磨布・砥粒により物理的に除去される成分があるため、化学的機械研磨 (CMP) と呼ばれる。



図 4-5・2 CMP の原理

4-5-2 CMP の装置

CMP の装置では、研磨布はプラテンと呼ばれる定盤に貼り付けられ、ウェーハは表面を下にして研磨ヘッドに装着される (図 4-5・3)。ウェーハが加圧された状態で、研磨布の上に研磨液を滴下しながら、プラテンと研磨ヘッドを回転させることで研磨が進行する。また、研磨が進むにつれて、研磨布は劣化し、研磨速度の低下や、ウェーハ面内分布の悪化が生じるため、定期的に研磨布の表面を削り取る必要がある。これをコンディショニングと呼び、安定な研磨プロセスのためには不可欠な作業となる。

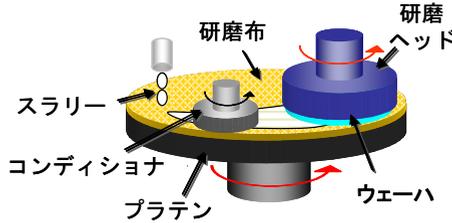


図 4-5・3 CMP 装置

4-5-3 CMP 部材

(1) 研磨布 (研磨パッド)

発泡ポリウレタンを材料とした研磨布が一般的に使われている。研磨布表面には溝加工が施され、更に、研磨布自体には無数の空洞が存在し、ウェーハに供給する研磨液の保持や研磨の安定化に寄与している。最近では、層間膜に脆弱な Porous Low-k 膜が使用されており、よりスクラッチなどの物理的ダメージの少ない研磨布が求められている。

(2) 研磨液 (スラリー)

酸化膜の研磨では、主にシリカやセリアを砥粒として使用する。STI の CMP 工程では、平坦化性能が高く、SiN と SiO₂ との選択比を大きくできることから、セリアベースの研磨液が主に用いられることが多い。

金属膜の研磨では、主にシリカやアルミナを砥粒として使用する。金属膜の研磨は H₂O₂ などの酸化剤により金属膜の酸化膜などを形成し、それを砥粒により除去することで進行する。また一方で、金属膜の酸化を防止するためにインヒビターを微量混合させる。また、このインヒビターは金属膜のリセスを防止する効果もある。

(3) コンディショナー

研磨プロセスでは研磨の安定化のため、コンディショニングやドレッシングと呼ばれる作業が必要となる。コンディショニングには、主に金属の円盤に、Ni 電着法や焼結法によりダイヤモンド粒子を固定したコンディショナーを用いる。コンディショナーを研磨布に押し当てて加圧し、研磨布と相対運動させることで研磨布の表面を定期的に削り取り活性化する。この作業により、研磨レートの安定化や、スクラッチの防止する効果がある。

4-5-4 Cu 埋め込み配線における CMP プロセス

CMP 技術は、STI (Shallow Trench Isolation) 形成や、層間膜の平坦化、W プラグの形成、Cu 埋め込み配線の形成などに使用される。ここでは、一例として、Cu 埋め込み配線における CMP プロセスフローを説明する (図 4-5・4)。

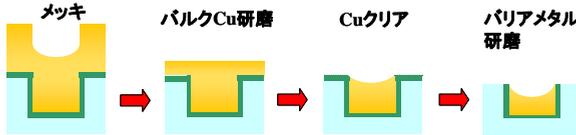


図 4-5・4 Cu 埋め込み配線における CMP プロセスフロー

エッチングにより溝を形成した絶縁膜上にバリアメタル、Cu シード層を形成した後、メッキ法により溝部に Cu を充填するように Cu を堆積する。その後、CMP により溝部以外の Cu、及びバリアメタルを除去する。バルク Cu 研磨の後の Cu クリアステップでは終点検出を行い、ウェーハ表面に Cu 残りがないように、必要な時間 Cu 研磨を続ける。終点検出は、ウェーハ表面を光学的にモニタする方式や、渦電流、研磨時のトルクなどをモニタする方式などがある。Cu の研磨が終了した後、研磨液を変えてバリアメタルを研磨し、その後、ウェーハを洗浄・乾燥する。

4-5-5 Cu 埋め込み配線における CMP の課題

Cu 埋め込み配線における CMP では、配線材料そのものを研磨により削り取るため、様々な課題が生じる。

(1) 平坦性

図 4-5・5 に示すように、Cu 幅広配線での凹みをディッシング、密集した配線部での酸化膜の凹みをエロージョンと呼んでいる。ディッシングやエロージョンなどの配線部の段差は Cu 配線の幅や密度に依存して大きくなる傾向がある。微細化が進むにつれて配線の幅、高さは小さくなり、デバイス特性に与える段差の影響は顕在化する。DOF の縮小によるパターン形成不良や、配線抵抗のばらつきが大きくなるなど、配線の平坦性の確保は非常に重要な課題である。

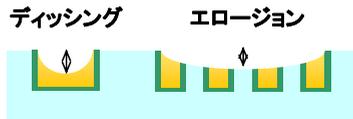


図 4-5・5 ディッシングとエロージョン

最近では砥粒を含まない研磨液や、酸化剤に APS (過硫酸アンモニウム) を使用した研磨液など、平坦性の向上に対してアプローチがされており、また、配線間の研磨残を検出する方法なども検討されている²⁾。

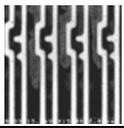
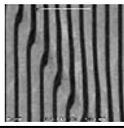
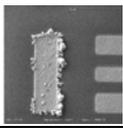
(2) 研磨レート面内・面間均一性

研磨レートのウェーハ面内・面間均一性は研磨の安定性に大きく影響する。ウェーハ表面の段差や配線抵抗のばらつきが大きくなるのはもちろんのこと、ウェーハ上に研磨残りが発生し、STI や配線の形成不良となり、歩留まり低下の原因になる。このため、研磨装置では、ウェーハ面内にかかる圧力を複数のゾーンに分けて行うなどの制御性の向上や、研磨レートの面間均一性改善のため、研磨の高精度な終点（エンドポイント）検出機構などが必要となる。

(3) 欠陥

表 4-5・1 に CMP 後に見られる一般的な欠陥の例を示す。

表 4-5・1 CMP 後に見られる欠陥例

研磨残り	スクラッチ	異物	配線腐食
			
配線間にバリアメタルが残っており配線のショートを引き起こす。	配線部にスクラッチが入り、配線がよがんでいる。配線オープンやショートを引き起こす。	配線上に付着異物が存在。配線ショートや上層での配線形成不良を引き起こす。	配線が腐食している。配線のショートや上層での配線形成不良を引き起こす。

■参考文献

- 1) ITRS2008: Interconnect (<http://www.itrs.net/Links/2008ITRS/Home2008.htm>)
- 2) Yunlong Li, Alexandre Tarnowks, Aviv Eliyahu, Nancy Heylen, Tinne Delande, Paloa Favia, Hugo Bender, Kristof Kellens, and Leonardus Leunissen, "Optical Metrology Based Post Cu CMP Metal Residue Detection and Characterization," Proceedings of International Conference on Planarization/CMP Technology 2009, pp.235-240, 2009.

■10 群 - 2 編 - 4 章

4-6 実装技術

(執筆著者：春田 亮) [2009 年 12 月 受領]

4-6-1 パッケージング技術

(1) パッケージング技術の動向

電子機器の軽薄短小化・高密度実装化を実現するため、半導体パッケージも小型化・薄型化を推進してきた。LSI 用パッケージの開発動向を図 4-6・1 に示す¹⁾。1970 年代前半までは、DIP (Dual In-line Package) に代表される挿入型パッケージが主流であったが、1970 年代後半になると、端子の狭ピッチ化を実現するために、リフロー技術を用いる表面実装型パッケージが開発された。SOP (Small Outline Package) や QFP (Quad Flat Package) が主流となり、端子の狭ピッチ化により小型化を推進してきた。

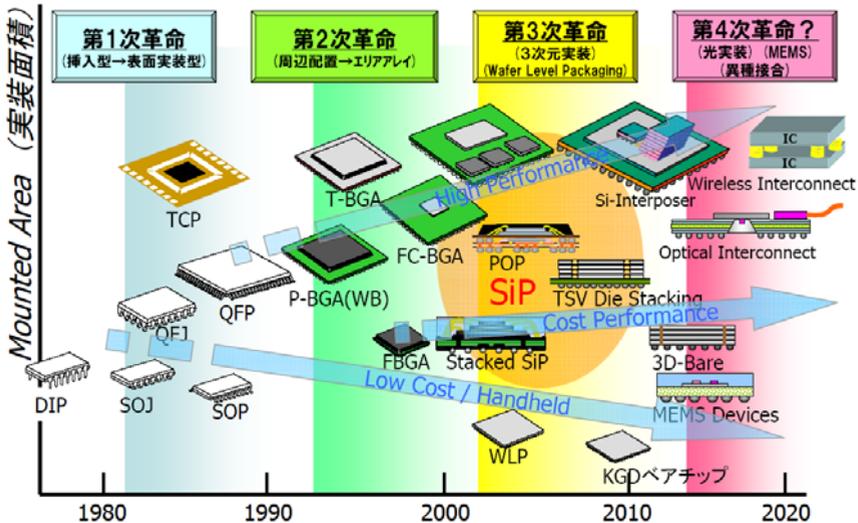


図 4-6・1 LSI パッケージの開発動向 (Copyright © 2009 JEITA)

1990 年代になると、パッケージ裏面に格子状にはんだボール端子を形成した BGA (Ball Grid Array) パッケージが開発された²⁾。周辺端子の狭ピッチ化では実装困難となり、端子の格子配置化でピッチの拡大が図れ、実装が容易になる。多ピン化や小型化に有利である。また、BGA の端子ピッチを 1 mm 未満にした FBGA (Fine Pitch BGA) も実用化され、携帯用電子機器に広く採用されている^{3), 4)}。パッケージの薄型化を目的として、パッケージ基板 (インターポーザ) にはんだボールを形成しない FLGA (Fine Pitch Land Grid Array) も実用化されている。はんだボールをもたないため、基板実装時のパッケージ反りが課題である。究極の小型化として、通常のウェーハプロセス (前工程) が完成したウェーハに対して、再配線を形成し、樹脂封止、電極端子形成を行った後、ダイシングにより個片化してパッケージとする WLP (Wafer Level Packaging) 技術が開発された⁵⁾。ウェーハ状態でアセンブリを行うと

という画期的なコンセプトであり、リアルチップサイズパッケージとなる。端子ピッチが狭いと実装が困難となるため、小ピン系デバイスにおいて実用化されている。

更に1990年代末から半導体デバイスや半導体パッケージの3次元積層化による高密度化が進展している。一つのパッケージの中に複数個のLSIを搭載するMCP (Multi Chip Package) やSiP (System in a Package) が広く実用化されている。まず、携帯電話用途にSRAMとフラッシュメモリを積層搭載したFBGAが量産化され^{6),7)}、その後、各種メモリの多段積層化が進んでいる。また、徐々に微細化が難しくなっているSoC (System on a Chip) の代替としてSiPが実用化された⁸⁾。既存のSoCやマイコンとメモリやアナログチップを混載して、短期間・低コストで高性能化を図るという目的であった。現在では、SiPは異種デバイスを組み合わせる高性能化・高機能化・高密度化を図る方法として、いろいろな用途に広く用いられている。更に、ウェーハに貫通孔を形成し、電極を埋め込むTSV (Through Silicon Via) 技術も開発され⁹⁾、さらなる多段積層が期待されている。今後は、MEMS (Micro Electro Mechanical Systems) デバイスや光素子といった異種デバイスとLSIを組み合わせる新しいパッケージ技術の開発や、光配線や無線によるインターコネクタ技術の導入も期待される。

(2) 最新のパッケージング技術

図4-6・2に各種SiPの構造例を示す¹⁾。複数のLSIチップを平面的に配置した平面構造、複数チップを積層搭載した積層構造、それらを組み合わせた複合構造など、広く実用化されている。パッケージ形態としても、BGA/FBGAの基板タイプパッケージだけでなく、QFP/SOPにおいてもリードフレームの片側もしくは両側に複数個のチップを搭載した製品が量産化されている。

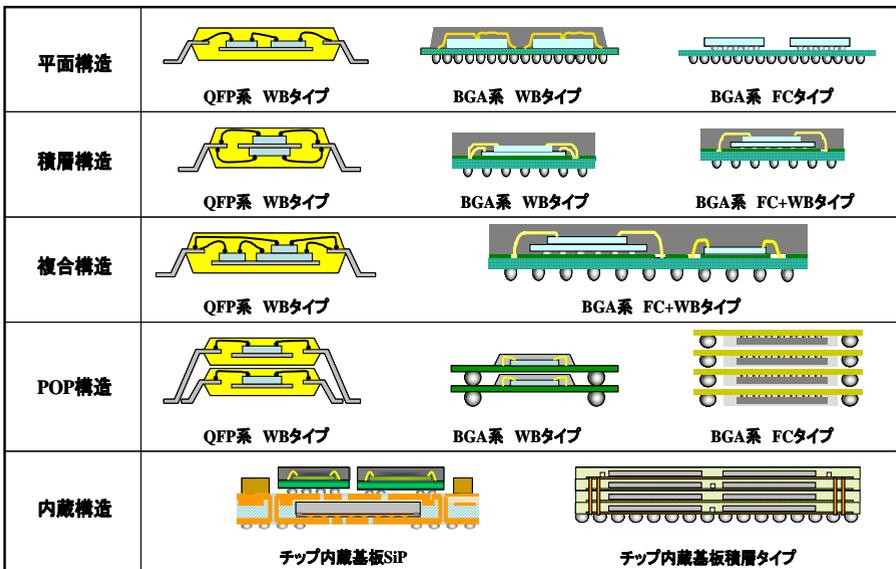


図4-6・2 各種SiP構造の例 (Copyright © JEITA)

電気的な接続技術としてはワイヤボンディングが主流であるが、搭載面積の小型化や接続抵抗の低抵抗化のためにフリップチップ接続も広く実用化されている。更に、チップ上にチップを搭載する COC (Chip on Chip) 技術も実用化されている^{10), 11)}。チップ同士の接続となるため、 bumps 端子の狭ピッチ化が可能となる。今後、TSV 技術も実用化されると期待されるが、TSV コストの低減が課題である。

また、パッケージ自身を積層する POP (Package on Package) 構造も量産化されている^{12), 13)}。かつてはメモリの高密度実装として SOP や TCP (Tape Carrier Package) を積層搭載したが、現在は FBGA の積層化が実用化されている。内蔵タイプに比べて外形は大きくなるが、ユーザ側での組合せが可能になる、SiP では課題となる KGD (Known Dood Die, 性能及び信頼性の保証されたチップ) が確保できるという特長をもつ。用途に応じて、内蔵タイプと POP 構造が使い分けられる。

更なる高密度実装・高機能化を目的に LSI や各種受動素子をインターポーザに内蔵したパッケージも開発され^{14), 15)}、一部で実用化されている。LSI チップの内蔵に対しては、一般に基板製造工程の歩留りがパッケージアセンブリ工程の歩留りに比べて低いのが課題である。

4-6-2 アセンブリ技術

前述した SiP を実現していくためには、種々のアセンブリ (組立プロセス) 技術の開発が重要である。多段積層化するための薄チップ化技術、ウェーハプロセスの微細化や多層化に対応したワイヤボンディング、フリップチップボンディングなどのチップ接続技術、多数チップを搭載したパッケージの樹脂封止技術など、各アセンブリ技術の進歩がパッケージング技術の進化に繋がっている。以下に、最新のアセンブリ技術をプロセスごとに紹介する。

(1) バックグラインディング (BG)

SiP 搭載チップの多層化において、チップ、つまりウェーハの薄化が必須である。JJTR 2009 におけるウェーハの薄化動向を図 4-6・3 に示す¹⁾。同図の薄型製品が該当する。

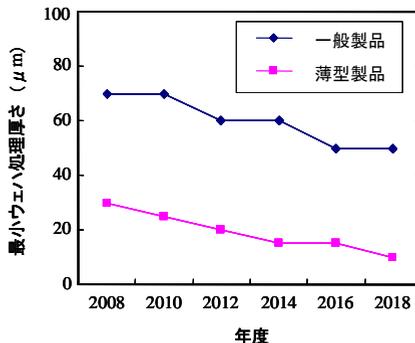


図 4-6・3 ウェーハ薄化の動向 (Copyright © JEITA)

ウェーハの薄化については、従来の裏面研削技術で 5~10 μm まで加工できる。ただし、裏面に研削傷が残るとウェーハの機械的強度 (抗折強度) が劣化し、その後のハンドリング

や組立プロセスでチップがクラックする可能性がある。ウェットエッチングやドライエッチングなど、各種の裏面研削傷の除去（ストレスリリーフ）方法が検討されている。ただし、裏面研削によるダメージ層にはウェーハの重金属汚染のゲッタリング効果があり、ストレスリリーフを行うことによりゲッタリング効果が低下するという課題もある。

極薄ウェーハに裏面研削した後、次工程のダイシングへ移るが、ダイシングでは表面から加工するために固定方法を反転する必要がある。しかし、極薄ウェーハは非常に反りやすいため、ガラスなどの支持基板に貼り付け、破損を防止する手法が検討されている。また、端部から数ミリの範囲を厚く残し補強部を形成することで、支持基板なしでもハンドリングに耐え得るような手法も実現されている。

(2) ダイシング

一般的なブレードダイシングにおいてはチップングが極薄チップの抗折強度を低下させるため、チップングの低減が課題である。ダイシングブレードの改良やダイシング速度の最適化により対応している。バックグラインド前にダイシングする先ダイシング技術はチップングに有効である¹⁶⁾。

ウェーハプロセスでの Low-k 材の導入により、ブレードダイシング時の Low-k 層のクラックや剥離が課題となった。その対策として、レーザダイサが導入された。レーザダイサには、Si を加熱して気化蒸発させる溶断方式と、Si 内部に光学的に損傷させた改質層を形成する割断方式がある¹⁷⁾。溶断方式は従来技術の延長線上にあるが、出力や発振方法などの最適化により加工品質が大きく向上している。ただし、加工速度の課題があり、Si ウェーハの表面のデバイス層をレーザダイサで除去し、その後、ブレードダイサで切断する方法が実用化されている。一方、割断方式はウェーハ表面の配線パターンや保護膜に損傷を与えることなく、レーザ集光にて Si 内部に改質層を形成し、そこを起点にテープエキスパンドしてチップ分割を行うものである。従来のブレードダイシングに比べて高速加工が可能であるだけでなく、カーフロスゼロによる取り数増加でも生産性を向上させることができる。

また、ドライエッチングを用いたプラズマダイサも開発されている。ダイシング加工距離に加工時間が影響されないため、ウェーハの口径が大きく、薄く、チップサイズが小さいほど生産性が高くなる。また、ダメージレス加工であるので、理想的なチップ強度を得ることができる。ただし、装置コストに加え、ガスの処理設備が必要であることなどがコスト面での課題である。

(3) ダイボンディング (DB)

DB においては Ag ペーストを用いた樹脂塗布方式が主流であるが、積層チップの DB では予めウェーハ裏面に接着フィルムを貼付けた DAF (Die Attach Film) 方式が主流である。DB 材として極薄フィルムを用いることで、チップの平行度を確保し、DB 材のはみ出しを抑制できる。極薄チップの低ダメージピックアップ方法、搭載時の位置精度、ボイドレス化が課題である。

(4) ワイヤボンディング (WB)

多層チップ搭載の SiP においても、チップ接続の主流は Au 線ワイヤボンディングである。

ボンディング位置を自由に設定できる汎用性が特長である。JJTR 2009 におけるワイヤボンディングとフリップチップボンディングでの狭ピッチ化の動向を図 4-6・4 に示す¹⁾。ウェーハプロセスの微細化に伴い、ボンディングパッドの狭ピッチ化は進展し、2016 年には $30\ \mu\text{m}$ ピッチが実用化されると予測している。その場合の Au 線径は $12.5\ \mu\text{m}\ \phi$ となり、狭ピッチ化に対しては、Au 線、キャピラリ（ボンディングツール）の開発が課題である。また、 $30\ \mu\text{m}$ ピッチに対応したテストプローブ技術の開発や、ボンディングの 2 次側であるリードフレームやインターポーザの狭ピッチ化も課題である。なお、狭ピッチ化を緩和する技術として、千鳥パッド配置のように、ボンディングパッドを多列に配置し、実効のパッドピッチを緩和する方法も実用化されている。

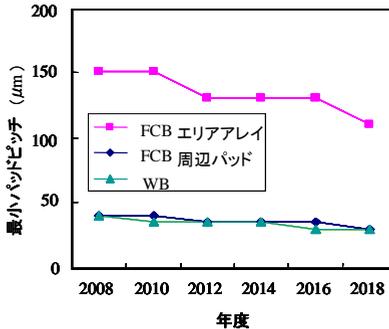


図 4-6・4 パッド狭ピッチ化の動向 (Copyright © JEITA)

3 次元構造の SiP においては、通常のパッケージ品に対して、オーバーハンク部へのボンディング、長ループ形成、短ループ形成、低ループ形成、チップ間ボンディングなどに対応する必要がある。チップの薄化や Low-k 材の導入により、ボンディングダメージも発生しやすくなっている。これらの課題に対しては、ボンダの低荷重制御、複雑なループ制御、位置精度向上などで対応していく。また、SiP 化によりボンディング本数も増加しており、生産性の観点から、ボンディング速度や認識速度の向上も重要である。

昨今、Au の地金の高騰により、Cu ワイヤボンディングへの期待が大きい。電気抵抗・熱抵抗が低いことから、従来、パワートランジスタなどで一部実用化されていたが、一般の LSI への適用が始まった。Cu は酸化しやすく、硬度が高いという欠点がある。ボンダに還元性ガス（一般にはフォーミングガス：5% $\text{H}_2\text{-N}_2$ ）の供給ユニットを追加し、還元性雰囲気で行い、酸化を防止している。また、ボンディング時の低荷重化を図り、チップへのダメージを抑制している。現在、 $30\ \mu\text{m}\ \phi$ 以上の太線での Cu ワイヤ化が検討されているが、今後、 $30\ \mu\text{m}\ \phi$ 未満の細線の Cu ワイヤ化も進むと予測されるが、ダメージ対策が課題である。

(5) フリップチップボンディング (FC)

SiP におけるフリップチップボンディングは、接続配線の最短化、パッケージ高さの低減、多ピンチップへの対応などの目的で採用される。チップ周辺にバンプを形成するペリフェラル方式とチップ全面に格子状にバンプを形成するエリアアレイ方式がある。ペリフェラル方式では、WB 用チップを転用することが可能である。一般に、電解めっき、または WB で Au

バンブを形成し、Au-Au 熱圧着、Au-はんだ接合、ACF (Anisotropical Conductive Film) /NCF (Non Conductive Film) 接続などの方法でインターポーザの電極と接続される。Au-Au 熱圧着や Au-はんだ接合の場合、必要に応じて、チップと基板の間に液状樹脂を充填 (アンダーフィル) して強度を確保する。狭ピッチ化に伴い、バンブ高さの精度、FC の搭載精度、ボイドレスアンダーフィル技術などが課題となる。Au バンブに代わり、電解めっきで Cu のポストを立て、Cu-はんだ接合で接続する方法も実用化されている¹⁸⁾。

エリアアレイ方式ではチップ全面にバンブを形成するので多ピン化に有効である。一般に、電解めっき、ペースト印刷、ボール搭載ではんだバンブを形成する。従来は Sn-Pb はんだが用いられていたが、鉛フリー化に伴い、Sn-Ag-Cu 系はんだが用いられている。リフローまたは個別加熱方式でインターポーザに接続される。必要に応じて、アンダーフィルが施される。

(6) 樹脂封止

エポキシ系樹脂を用いたモールド樹脂封止技術は現在、生産性に優れたトランスファーマールドが主流である。しかし、Au 線の細線化、SiP での長ワイヤ化に伴い、注入レジンによるワイヤ流れが課題となっている。樹脂の低分子化やフィルターの小粒径化による流動性向上が検討されているが、抜本的な対策としてコンプレッションモールド (圧縮成形) 装置が実用化されている。

樹脂材料としては、高放熱に対応した低熱抵抗化、耐熱性の向上のための高 Tg (ガラス転移温度) 化、環境対応としてのハロゲンフリー化などが推進されている。

(7) はんだめっき、はんだボール形成

リードフレームパッケージの端子めっきについては、従来 Sn-Pb はんだが使用されてきたが、環境対応から鉛フリー材料に切り替わっている。めっき材料は、Sn 合金系と Pd 系鉛フリーに大別される。Sn 合金系鉛フリーはんだ (Sn-Bi 系、Sn-Ag 系、Sn-Cu 系、純 Sn) は Sn-Pb はんだに比べて 40°C 程度融点が高くなるため、パッケージの耐熱性の向上が必要である。一方、Pd 系めっきが Cu 合金系フレームで実用化されているが、Fe-Ni 合金系フレームには適用できないことや、Pd が稀少金属であるための供給不安などの課題がある。基板タイプパッケージのはんだボールについても従来 Sn-Pb はんだが使用されていたが、鉛フリー化で Sn-Ag-Cu 系はんだに切り替わっている。

(8) シングュレーション

個片化は、従来、金型での外形切断方式が一般的であったが、コストダウンの一手法として広まっている一括モールド技術の適用により、ブレードを用いたダイシング方式によるパッケージ個片化技術が実用化されている。更に、パッケージの小型化・薄型化の進展に伴い、スルーボットの向上を目的としてウォータージェット方式なども検討されている。

■参考文献

- 1) JEITA Jisso 戦略専門委員会(編)，“2009 年度版日本実装技術ロードマップ,” 電子情報技術産業協会, 2009.
- 2) Bruce Freyman et al., “Overmolded Plastic Pad Array Carriers (OMPAC): A Low Cost, High Interconnect

- Density IC Packaging Solution for Consumer and Industrial Electronics,” Proc. 41st Electronic Components & Technology Conference, pp.176-182, 1991.
- 3) 藤田 香, “チップ・サイズ・パッケージ CSP がユーザの手元に”, 日経マイクロデバイス, no.626, pp.79-86, 1995.
 - 4) 春日壽夫(編著), “超小型パッケージ CSP/BGA 技術,” 日刊工業新聞社, 1998.
 - 5) H. Matsuki, Y. Shinma, K. Nagashige, Y. Hamanaka, N. Fukasawa, M. Morioka, M. Onodera, T. Uno, and T. Kawahara, “Super CSP: A BGA Type Real Chip Size Package Using a New Encapsulation Method,” Proc. Pan Pacific Microelectronics Symposium, pp.415-420, 1998.
 - 6) 藤田和弥, 木村公士, 並井厚也, 曾田義樹, 宮田浩司, 松根裕司, 十楚博行, 福井靖樹, 矢野祐司, “スタックド CSP (Chip Size Package) 技術,” シヤープ技報, 第 71 号, pp.58-63, 1998.
 - 7) Y. Fukui, Y. Yano, H. Juso, Y. Matsune, K. Miyata, A. Narai, Y. Sato, Y. Takeda, K. Fujita, and M. Kada, “Triple-Chip Stacked CSP,” Proc. 2000 Electronic Components and Technology Conference, pp.385-389, 2000.
 - 8) 赤沢 隆(編著), “SiP 技術のすべて.” 工業調査会, 2005.
 - 9) K. Takahashi, H. Terao, Y. Tomita, Y. Yamaji, M. Hodshino, T. Sato, T. Morifuji, M. Sunohara, and M. Bonkohara, “Current Status of Research and Development for 3D Chip Stack Technology,” Jpn. J. Appl. Phys., Part 1, vol.40, no.4B, pp.3032-3037, 2001.
 - 10) T. Ezaki, K. Kondo, H. Ozaki, N. Sasaki, H. Yonemura, M. Kitano, S. Tanaka, and T. Hirayama, “A 160Gb/s Interface Design Configuration for Multichip LSI,” Proc. IEEE International Solid-State Circuits Conference (ISSCC 2004), pp.140-141, 2004.
 - 11) 江崎孝之, 尾崎裕司, 石川夏也, 佐々木直人, “COC 技術を採用した高速データ転送技術-Multichip LSI (MCL),” エレクトロニクス実装学会誌, vol.8, no.7, pp.550-554, 2005.
 - 12) “パッケージ積層 SiP が攻勢, デジカメで離陸しケータイへ,” 日経エレクトロニクス, 2005.7.18, pp.38-39, 2005.
 - 13) 折井靖光, “SMT 工法を用いた最新 SiP・PoP 実装技術,” JISSO/PROTEC フォーラムジャパン 2006, pp.121-127, 2006.
 - 14) 若林 猛, “EAD 型 SiP 技術,” JISSO/PROTEC フォーラムジャパン 2006, pp.128-131, 2006.
 - 15) JIEP 配線板製造技術委員会, “部品内蔵基板の現状と展望,” エレクトロニクス実装学会誌, vol.11, no.1, pp.14-18, 2008.
 - 16) 原田 亨, 杉崎吉昭, 田窪知章, “高密度実装技術,” 東芝レビュー, vol.59, no.8, pp.26-30, 2004.
 - 17) 福世文嗣, “ステルスダイシング技術とその応用,” レーザ加工学会誌, vol.12, no.1, pp.17-23, 2005.
 - 18) Y. Orii, K. Toriyama, H. Noma, Y. Oyama, H. Nishikawa, M. Ishida, T. Nishino, N. C. LaBianca, and C. Feger, “Ultrafine-Pitch C2 Flip Chip Interconnections with Solder-Capped Cu Pillar Bumps”, Proc. 58th Electronic Components and Technology Conference, pp.948-953, 2009.

■10 群 - 2 編 - 4 章

4-7 シミュレーション技術

(執筆著：大村泰久) [2009 年 12 月 受領]

4-7-1 プロセスシミュレーション

半導体プロセス技術は物理化学分野の知識の支援なくしては成り立たず、製造工程の再現性を確保するために学問的な手段で個々の技術の「科学化」を行ってきた。プロセスシミュレーションは、整理できた知識を道具立てした体系である。プロセスシミュレーションは、不純物拡散工程、半導体酸化工程、薄膜体積工程、リソグラフィ、エッチング工程といった主たる工程の要素技術に関して、実際に製造に入る前に所望の仕上がりを実現するための諸条件を調査するために実施される。既に商用シミュレータが存在しており、半導体製造各社は、膨大な自社固有の技術情報を基にシミュレータの最適化を行っている。

以下、具体的に各製造工程に関して実施されているシミュレーションの原理などを説明する。

(1) 不純物拡散シミュレーション

不純物拡散は、単純には Fick の法則をよりどころとして濃度勾配による粒子流であると考えられる。合わせて流れにおける粒子流の保存則を導入することにより、微分方程式としての拡散方程式が得られる。例えば、一方向だけの拡散を考える場合、局所不純物濃度 $C(x,t)$ は次の微分方程式を満たす。

$$\frac{\partial C(x,t)}{\partial t} = \frac{\partial}{\partial x} \left(D \frac{\partial C(x,t)}{\partial x} \right) \quad (1)$$

ここで、 D は考察対象不純物が背景媒質中を拡散する場合の拡散定数である。実際に式(1)を解く場合には、媒質と拡散原子の電気化学的な性質を反映させた特定の拡散定数(雰囲気、欠陥、不純物種、内部電界などによる増速拡散と減速拡散を反映)を仮定する¹⁾。

不純物拡散に関連して、イオン注入工程も古くからシミュレーションによる評価、予測が行われてきた。多くはモンテカルロ (Monte Carlo) シミュレーションであり²⁾、核阻止能を計算するモデルとして、Ziegler-Biersack-Littmark モデル³⁾が使われ、LSS 理論⁴⁾に従って注入直後の不純物濃度分布を予測している。ただし、媒質の結晶構造を正確に計算に反映させることは一般に難しく、いわゆる結晶方位に依存するチャネリング現象⁵⁾などは、特別に分子動力学シミュレーション⁶⁾を行わなければ考察できない。

不純物の導入には熱処理工程が伴う。歴史的には、所謂石英管を使った横型抵抗加熱 Furnace Anneal に加えて、デバイス微細化の流れのなかで熱処理余裕度 (Thermal Budget) の後退が余儀なくなり、不純物分布の急峻化や活性化率の向上を意図してフラッシュランプアニール⁷⁾、パルスレーザアニール⁸⁾などが既に実施されている。シミュレーションでプロセスを再現するうえでの現象の理論的解析は十分に進んでいないが、モデル化の試みは行われており⁹⁾、シミュレーションモジュールへの導入が試験的に行われている。

(2) 半導体酸化工程

半導体 Si の表面を熱酸化することによって SiO₂ 膜を形成する工程に対しては、Deal-Grove

モデル¹⁰⁾をはじめとして、多くの経験的・理論的モデルが提唱されている^{11), 12)}。SOI 基板などの半導体多層構造における酸化現象¹³⁾、細線構造における酸化停止現象^{14), 15)}などが正確に理解されてきたのは比較的最近であり、酸化剤としての酸素分子、酸素原子、及び反応対象であるシリコン原子の挙動まで、第一原理的計算による解析¹⁶⁾などで包括的な理解が定着してきた。

一般的なプロセスシミュレータでは酸化剤濃度 $C(r,t)$ に対しては次の拡散ラプラス (Laplace) 方程式を解く。

$$\frac{\partial C(r,t)}{\partial t} + \text{div}(D_{ox} \cdot \text{grad}C(r,t)) = G - R \quad (2)$$

ここに、 D_{ox} は酸化剤の拡散定数、 G と R はそれぞれ酸化剤の生成と消滅の割合であるが、酸化膜内部では右辺は 0 であるとして解く。これを実際に解く場合には、拡散定数や反応現象などの知見が生かされており、選択酸化 (LOCOS) 工程など酸化後の半導体表面形状が変化する複雑な現象もかなり適切に再現できるようになった¹⁷⁾。

(3) 薄膜堆積工程

薄膜堆積工程は、堆積装置のチャンパー内雰囲気ガスとして一般に Ar を使った DC・RF スパッタ法などの PVD (Physical Vapor Deposition) 法¹⁸⁾ やガスの分解・反応生成物を堆積する CVD (Chemical Vapor Deposition) 法¹⁹⁾ など、背景となる現象が大きく異なる技術が多く、シミュレータを商用化しづらいことも含めてシミュレーション技術はあまり進歩していない。最近では、リソグラフィにおける光源波長の短波長化に伴ってウェーハ表面の平坦化が不可欠となり、いわゆる表面研磨技術 (Chemical Mechanical Polishing)²⁰⁾ が発展し、堆積に関するシミュレーションの必要性が低下してきたという背景があると考えられる。

(4) リソグラフィ工程

光リソグラフィ技術は、パターン寸法が 200 nm 以下の時代に突入すると、目標とする仕上がり形状と寸法をそのまま単純にフォトマスクのデータに変換することが無意味になってきた。この背景には、マスク直下での光の干渉効果と回折効果²¹⁾、下地材料からの反射効果、光源の短波長化に伴うレンズの焦点深度の減少などの原因があり、更にパターンの粗密などがレジストの解像度に直接影響すること (Loading Effect) が知られており、フォトマスク上での位相シフト領域の導入^{22), 23)} を初めとして、パターンの絵柄自身の補正 (近接補正など) を予めソフトウェア的に行う必要²⁴⁾ が出てきた。光の干渉・回折などのシミュレーションはフーリエ解析法²⁵⁾ によって実施されており、実際のパターン構成の事前検討においてしばしば使用されている。

(5) エッチング工程

エッチング工程は、微細パターンの高精度加工の要求に応えるため、1980 年代から本格的なドライエッチング技術によって支えられてきた。反応性イオンエッチング (または、反応性スパッタエッチング) 法では、各種の反応ガスがエッチング対象材料ごとに選択され、実用に供されてきた²⁶⁾。各ガスと被反応物との関係はプラズマ条件下での化学的反応であるため、一般に解析並びにシミュレーション化が難しいといわれているが²⁷⁾、近似的に考察する

場合には、イオンの運動をボルツマン (Boltzmann) 形輸送方程式を解いて追跡する方法がとられる²⁸⁾。別の手法としては、計算の高速化を狙ってトポグラフィシミュレーションが行われることがある。具体的には、モデル化された異方的エッチング速度分布関数を使う線分追跡法 (Ray Tracing Model)、線分モデル (String Model)²⁹⁾などが適用されている。

4-7-2 デバイスシミュレーション

製造工程によって予想される素子構造全体の情報 (各部の材料種別, 寸法, 形状, 不純物型と濃度分布など) が得られると, それらを前提として, 仕上がった素子の動作特性や性能を予測する必要がある, 集積回路の要素として導入するにふさわしいかどうかを検証する必要がある。これを一つの目的で実施されるのがデバイスシミュレーションである。

1970年代, 集積回路技術が急速に発達し始めた時期, デバイスシミュレーションを可能にしたのは大型計算機の実現であり, 計算ソフトウェアの商用化である。同時に半導体物性の理論的解析の要請が計算アルゴリズムの確立へと進展し, 離散メッシュによる緩和法³⁰⁾や高速行列解法³¹⁾が発達した。この恩恵を受け, 電子と正孔を粒子イメージで取り扱うことができる半古典的 Drift-Diffusion (DD) 方程式を使った電流連続式とポアソン方程式の連立による半導体素子の解析が試みられてきた³²⁾。DD 方程式によるデバイス解析は基本的に大成功を収めたが, それだけでは説明できない様々な現象 (アバランシェ³³⁾, キャリア移動度の複雑な振る舞い³⁴⁾, 速度飽和³⁵⁾など) のモデルを追加導入しながら, 動作特性全体を再現する努力が続けられてきた。

しかしながら, 1980年代, 微細化の過程で明らかになった素子特性劣化について, その主たる原因がゲート絶縁膜へのホットキャリア注入にあることが想定された。しかし, 設計情報を得るための DD 方程式を使ったアバランシェによるホットキャリア発生計算結果はアバランシェの過剰評価からくる非現実的な量であった。この矛盾を解消するための物理学的な描像は, 理論的な考察に基づいたキャリアの非局所輸送効果として整理された³⁶⁾。非局所輸送現象を半古典的ではあるがかなり適切に反映する Hydrodynamic Transport Model (HDTM)³⁷⁾による粒子輸送解析は, それまで不明であったホットキャリア劣化の実験結果と DD 方程式によるシミュレーション予想との大幅な相違を修正し, 劣化現象に対する物理学上の根拠を与えることに成功した³⁸⁾。このようにして, ホットキャリア劣化抑制手段に有効な指針が得られた。

他方で, 1990年代以降の研究の先端は極薄 Silicon-on-Insulator (SOI)³⁹⁾, 極薄 Germanium-on-Silicon (GOI)⁴⁰⁾, 歪 Si⁴¹⁾構造などにシフトし, 素子特性の解釈において量子効果を取り込まなければ解析し難い伝導現象が主な考察対象となってきた。しかし, 第一原理的なシミュレーションは計算機資源に対する制約から一般には非現実的であることから, 先端的研究からの要求に応えるために新しい解析手法の導入が必要であった。このような時代的要請に応えたのが, Density-Gradient Model (DGM)⁴²⁾であり, 後には同等な手法として Effective Potential Model (EPM)⁴³⁾が提案・検証されている。計算時間の高速化に有効な EPM の例を示す。有効ポテンシャルを使って電子電流密度を次のように表現する⁴³⁾。

$$J_n = -q\mu_n n \nabla \psi_{eff} + qD_n \nabla n \quad (3)$$

ただし, 有効ポテンシャルは以下のように表現し, 障壁界面近傍で上昇する関数が選ばれて

いる。これによって、障壁近傍での波動関数の収縮が得られる。

$$\psi_{eff}(x, y) = \frac{1}{2\pi a_{0in} a_{0yn}} \iint [\psi(x+\xi, y+\eta) + \chi(x+\xi, y+\eta)] \exp\left(\frac{-\xi^2}{2a_{0in}^2}\right) \exp\left(\frac{-\eta^2}{2a_{0yn}^2}\right) d\xi d\eta \quad (4)$$

$$a_{0in}^2 = \frac{\hbar^2}{8m_{in}^*(x, y)k_B T} \quad (i=x, y) \quad (5)$$

ここで、パラメータ a_{0in} は de Broglie 波長に相当する。DGM や EPM は基本的に微細構造におけるエネルギーの量子化を直接取り扱うことはできないが、**図 4-7・1** に示すように、エネルギー障壁近傍でキャリア波動関数が収縮する効果を定量的に取り扱い、キャリア分布の現実的な振る舞いをシミュレーションに反映させることを可能とする。これにより、ゲート容量に対する量子力学的影響をある程度取り込むことが可能になった。

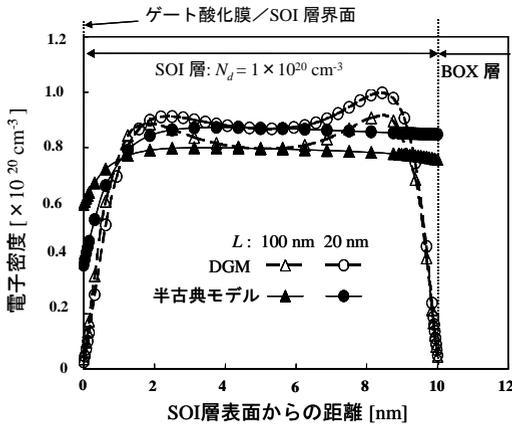


図 4-7・1 密度勾配モデルによる SOI 層内高濃度不純物ソース領域の多数キャリア分布 (ゲート酸化膜: 2 nm)⁴⁴⁾ © 2006 IEEE

最近では、現在の製造技術水準を前提としない将来のナノスケールの機能素子の探索を目的として実施されているシミュレーション手法の検討並びにそれらの手法による考察結果に関する研究発表が多くなってきた。その手法は様々であり、今後の微細化デバイスの解析において不可欠な様々な量子効を考慮する方法が試みられている。微細デバイスの動作特性に強く影響すると予測されるバンド構造を反映しながら輸送特性を解析できる非平衡グリーン (Green) 関数法⁴⁵⁾ やフルバンド・量子モンテカルロ (Monte Carlo) 法⁴⁶⁾ などが検討例の多くを占めている。

非平衡グリーン関数法は、一般に電子 (あるいは正孔) の位相緩和距離 (位相情報が保持される実効距離) が試料長と同程度である系の総称であるメソスコピック系の量子輸送現象 (系内で相互作用の強い現象が想定されている) を取り扱う手法の代表格である。単電子トンネル現象や共鳴トンネル現象などで、物理現象の本質を明らかにする威力がある。解析においてしばしば登場するのが密度行列 ($\rho(k, k')$) である。

$$\rho(k, k') = p_k |\psi_k\rangle\langle\psi_{k'}| \quad (6)$$

ここで、 p_k は例えば電子の系が k 状態を占有する確率である。非平衡条件ではこの密度行列が時間発展する様子を追跡しなければならない。そのため、次のように量子力学的交換関係を使った密度行列の運動方程式と解くことになる。

$$\frac{\partial}{\partial t} \rho(k, k'; t) = \frac{1}{i} [H, \rho(k, k'; t)] \quad (7)$$

ここで、密度行列が $\rho(t) = \rho_0 + \delta\rho(t)$ のように定常部と非定常部に分けられ、ハミルトニアン (Hamiltonian) が $H = H_0 + V$ のように定常部と摂動部に分けられるとき、次のように線形化された簡略な形式で現象を解析することができる。

$$\frac{\partial}{\partial t} [\delta\rho(t)] = \frac{1}{i} [H_0, \delta\rho(t)] + \frac{1}{i} [V, \delta_0] \quad (8)$$

他方でフルバンド・量子モンテカルロ法では、本質的に確率過程である量子現象を扱いやすくする手法の一つである。注目する材料について事前に取得したバンド構造テーブルを基に、量子力学的状態 $|\Psi\rangle$ を有限個決めるが、これらの関数は一般に複素数であり、時間発展 ($\exp[iHt/\hbar]|\psi\rangle$) も複素数であるが、行列解法を取り入れて扱うことによって実数値化して処理することが可能である。ハミルトニアン表現をとることによって多体問題の研究にも比較的容易に適用できることは大きな特徴の一つである。また、量子状態による物理量の統計平均は次に示す状態和 (Z)

$$Z = \sum_i \langle \psi_i | \exp[-H/k_B T] | \psi_i \rangle \quad (9)$$

を用いて行うことができる。しかし、仮定するべき量子状態の数は一般に極めて多く、そのすべてを導入することは計算機資源に対して非現実的的要求であるので、通常は有限個の量子状態を仮定 (代表化) することによってこの問題を避ける。ただし、この状態数の減数化は本来の状態数よりも圧倒的に少なくなることから、統計力学における確率過程で常に必須検証項目となるエルゴード性を保障することができなくなるという困難を常に抱えていることを認識する必要がある。

上記の二つの手法は、物理現象の詳細な議論のために不可欠な手法であるが、この手法を 3 次元構造に適用して必要な特性を得るための計算を実行するには計算機資源に大きな投資が必要であり時間も掛かることが課題である。したがって、これらの研究に基づいて得られた知見を従来の半古典的シミュレーション用のモデルに組み込む作業が必要不可欠であり、その努力が求められている。

例えば、弾道輸送効果⁴⁶⁾を取り入れる手法は、モンテカルロ法による粒子シミュレーション結果に基づいて M. Lundstrom 等⁴⁶⁾が幅広く検討してきた。この手法では、**図 4-7-2**に示すように、本来量子波動性を顕著に示す弾道輸送を、半経験的な処理により粒子輸送の記述におき直すことによってシミュレーションを従来の半古典的手法で実施することが特徴である。この手法による議論が始まってから非平衡グリーン関数法による議論も加わって、弾道輸送現象の理解がここ 10 年の間にかかなり進展してきた。

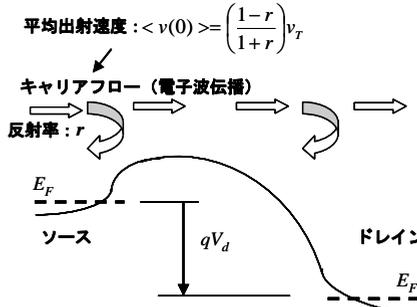


図 4-7-2 弾道輸送に対する Lundstrom の単純化モデル

他方で微細デバイスにおいて避けて通れない不純物密度・配置のばらつきが輸送特性に与える影響を解析するうえで信頼できる手法はいまだ確立されていないが、Asenov 等によって精力的に検討されてきた⁴⁸⁾。この課題に関しては、図 4-7-3 に示すように、不純物点在状態のポテンシャルモデルが論争の渦中にあり⁴⁹⁾、また微細デバイスでは散乱現象の取り扱いを従来の単純ボルン近似で済ませられない取扱いの複雑さなどから移動度モデルがいまだ確立されていないのが現状である。また、解析対象中の不純物数は少ないが、不純物の無秩序配置の組合せ数が膨大であることからキャリア輸送経路の組合せも膨大になり、統計処理をするための輸送特性計算回数も膨大になる。結果としてシミュレーションに相当な時間が必要となることが議論を広げるうえでの障害となっている。

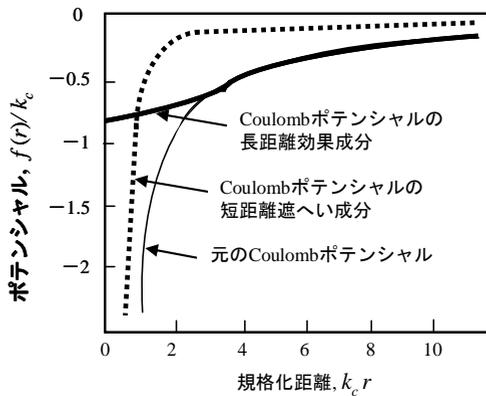


図 4-7-3 長距離効果成分が重要と見る孤立不純物ポテンシャルモデル⁴⁹⁾
(k_c : 臨界波数) © 2000 IEEE

したがって、近年の微細デバイスの動作特性解析のシミュレーションには、実用化に向けての多くの課題があり、モデル化による解析の高効率化を図る手段を導入することが不可欠となっている。

■参考文献

- 1) “最新半導体プロセス・デバイスシミュレーション技術,” リアライズ社, p.29, 2006.
- 2) J. F. Ziegler, “Handbook of Implantation Technology,” Noth-Holland, Amsterdam, 1992.
- 3) J. F. Ziegler, J. P. Biersack, and U. Littmark, Proc. Int. Ion. Eng. Congress-1, ISIAT’83, pp.1861-1866, 1983.
- 4) J. Lindhard, M. Scharff, and H. E. Schiott, “Range concepts and heavy ion ranges (notes on atomic collisions, II),” Mat. Fys. Medd. Dan. Vid. Selsk., vol.33, no.14, pp.1-42, 1963.
- 5) D. V. Morgan (ed.), “Channeling: Theory, Observation and Applications,” Wiley, New York, 1973.
- 6) J. Broeckhove and L. Lathouwers, “Time-Dependent Quantum Molecular Dynamics,” NATO Science Series: B (Phys. vol.299).
- 7) T. Ito, K. Suguro, T. Itani, K. Nishinohara, K. Matsuo, and T. Saito, “Improvement of Threshold Voltage Roll-off by Ultra-shallow Junction Formed by Flash Lamp Annealing,” Tech. Dig., Int. Symp. VLSI Technol. (Kyoto, June, 2003), pp.53-54.
- 8) 菱田有二, 工藤 淳, 渡辺正則, “イオン注入 SiC のパルスレーザアニールとレーザ同時照射による低損傷イオン注入,” 真空, vol.44, No.4, pp.451-455, 2001.
- 9) H. Huang and D. L. Kinoshita, “Semi-Empirical Model for Boron Diffusion During Rapid Thermal Annealing of BF₂ Implanted Silicon,” Mat. Res. Soc. Symp., Proc. Vol.303 (Symp. G, 1993) pp.277-282, 1993.
- 10) B. E. Deal and A. S. Grove, “General relationship for the thermal oxidation of silicon,” J. Appl. Phys., vol.36, no.12, pp.3770-3778, 1965.
- 11) H. Z. Massoud, J. D. Plummer, and E. A. Irene, “Thermal oxidation of silicon in dry oxygen,” J. Electrochem. Soc., vol.132, no.7, pp.1745-1753, Jul. 1985.
- 12) H. Kagesima, K. Shiraishi, and M. Uematsu, “Universal theory of silicon oxidation rate and importance of interfacial Si emission,” Jpn J. Appl. Phys., vol.38, no.9A/B, pp.971-974, Sep. 1999.
- 13) S. Nakashima, T. Katayama, Y. Miyamura, A. Matsuzaki, M. Kataoka, D. Ebi, M. Imai, K. Izumi, and N. Ohwada, “Investigations on high-temperature thermal oxidation process at top and bottom interfaces of top silicon of SIMOX wafers,” J. Electrochem. Soc., vol.143, pp.244-251, 1996.
- 14) Y. Takahashi, M. Nagase, H. Namatsu, K. Kurihara, K. Iwadata, Y. Nakajima, S. Horiguchi, K. Murase, and M. Tabe, “Fabrication Technique for Si Single-Electron Transistor Operating at Room Temperature,” Electron. Lett., vol.31, pp.136-137, 1995.
- 15) H. Heidemeyer, C. Single, F. Zhou, F. E. Prins, D. P. Kern, and E. Plies, “Self-limiting and Pattern Dependent Oxidation of Silicon Dots Fabricated on Silicon-on-Insulator Material,” J. Appl. Phys., vol.87, pp.4580-4585, 2000.
- 16) Hiroyuki Kageshima and Kenji Shiraishi, “First-principles study of oxide growth on Si surfaces and at SiO₂/Si interfaces,” Phys. Rev. Lett. 81, 5936, 1998.
- 17) Supreme-IV, Synopsys Corp., Operations Manual, 2008.
- 18) J. L. Vossen and W. Kern, “Thin Film Processes,” Academic Press, 1987.
- 19) R. M. Levin and K. E.-Lutterodt, “The step coverage of undoped and phosphorus-doped SiO₂ glass films,” J. Vac. Sci. Technol. B. vol.1, pp.54-61, 1983.
- 20) S. Sivaram, H. Bath, R. Leggett, A. Maury, K. Moning, and R. Tolles, “Planarizing Interlevel Dielectrics by Chemical Mechanical Polishing,” Solid State Technology, vol.35, pp.87-91, 1992.
- 21) T. Matsuzawa, A. Moniwa, N. Hasegawa, and H. Sunami, “Two-Dimensional Simulation of Photolithography on Reflective Stepped Substrate,” IEEE Trans. CAD, vol.CAD-6, pp.446-451, 1987.
- 22) M. D. Levenson, N. S. Viswanasan, and R. A. Simpson, “Improving Resolution in Photolithography with a Phase-Shifting Mask,” IEEE Trans. Electron Devices, vol.ED-29, pp.1828-, 1982.
- 23) Y. Hirai, K. Matsuoka, K. Hashimoto, and N. Nomura, “Automatic Pattern Generation System for Phase Shifting Mask,” Dig. Tech. Papers, Symp. VLSI Technol. (Kyoto, June, 1991) pp. 95-96.
- 24) C. Spence, J. Nistler, E. Barouch, U. Hollerbach, and S. Orszag, “Automated Determination of CAD Layout Failures through Focus: Experiment and Simulation,” Proc. SPIE, vol.2197, pp.302-313, 1994.
- 25) M. Yeung, “Modeling Aerial Images in Two and Three Dimensions,” Kodak Microelectronics Seminar: INTERFACE, p.115-126, 1986.
- 26) 原 央(編), “ULSI プロセス技術,” アドバンストエレクトロニクスシリーズ, カテゴリー I : エレ

クトロニクス材料・物性・デバイス, 培風館.

- 27) J. Ignacio Ulacia F. and J. P. McVittie, "A Two Dimensional Computer Simulation for Dry Etching Using Monte Carlo Technique," *J. Appl. Phys.*, vol.65, pp.1484-1491, 1989.
- 28) J. Lorentz, W. Kruger, and A. Barthel, "Simulation of the Lateral Spread of Implanted Ions: Theory," *Proc. 6th Int. NASECODE Conf.*, pp.513-520, 1989.
- 29) "SAMPLE 1.5 User's Guide," University of California at Berkley, 1982.
- 30) H. K. Gummel, "A Self-Consistent Iterative Scheme for One-Dimensional Steady State Transistor Calculations," *IEEE Trans. Electron Devices*, vol.ED-11, pp.455-465, 1964.
- 31) M. S. Mock, "A Two-Dimensional Mathematical Model of the Insulated-Gate Field-Effect Transistor," *Solid State Electron.*, vol.25, pp.218-231, 1981.
- 32) S. Selberherr, A. Schutz, and H. W. Potzl, "MINIMOS- a two dimensional MOS transistor analyzer," *IEEE J. Solid-St Circ.* vol.SC-15, pp.605-615, 1980.
- 33) S. M. Sze and K. K. Ng, "Physics of Semiconductor Devices," 3rd. ed. Wiley Interscience, pp.35-40, 2007.
- 34) N. Arora, "MOSFET Modeling for VLSI Simulation," World Scientific, pp.276-287, 2007.
- 35) N. Arora, "MOSFET Modeling for VLSI Simulation," World Scientific pp.28-33, 2007.
- 36) W. Haensch, "The drift diffusion equation and its applications in MOSFET modeling," Springer-Verlag, pp. 48-110, 1991
- 37) "Advanced MOS Device Physics," ("VLSI Electronics Microstructure Science," vol.18, edited by N. G. Einspruch and G. S. Gildenblat), Academic Press, 1989.
- 38) Y. Omura and K. Izumi, "Physical Background of Substrate Current Characteristics and Hot-Carrier Immunity in Short-Channel Ultrathin-Film MOSFET's/SIMOX," *IEEE Trans. on Electron Devices*, vol.41, no.3, pp.352-358, 1994.
- 39) J. P. Colinge, "Silicon-on-insulator technology: materials to VLSI," 3rd edition, Kluwer, 2004.
- 40) T. Tezuka, S. Nakaharai, Y. Moriyama, N. Hirashima, E. Toyoda, N. Sugiyama, T. Mizuno, and S. Takagi, "A New Strained-SOI/GOI Dual CMOS Technology Based on Local Condensation Technique," *Dig. Tech. Papers, 2005 Symp. VLSI Technol. (Kyoto, June, 2005)* pp.80-81.
- 41) S. Takagi, T. Mizuno, N. Sugiyama, T. Tezuka, and A. Kurose, "Strained-Si-on-insulator (Strained-Si) MOSFETs-concepts, structures, and device characteristics," *IEICE Trans. Electron.*, vol.E84-C, pp.1043-1050, 2001.
- 42) M. G. Ancona and G. I. Iafrate, "Quantum Correction to the equation of state of an electron gas in a semiconductor," *Phys. Rev. B*, vol.39, no.13, pp.9536-9540, 1989.
- 43) E. Sano, "Simulation of ultrathin body silicon-on-insulator metal-oxide-semiconductor field-effect transistors based on drift-diffusion model incorporating an effective potential," *Jpn. J. Appl. Phys.*, vol.42, pp.4987-4991, 2003.
- 44) Y. Omura, H. Konishi, and S. Sato, "Quantum-Mechanical Suppression and Enhancement of Short-Channel Effects in Ultra-Thin SOI MOSFET's," *IEEE Trans. Electron Devices.*, vol.53, no.xx, pp.677-684, 2006.
- 45) M. Bescond, K. Nehari, J. L. Autran, N. Cavassilas, D. Munteanu, and M. Lannoo, "3D Quantum Modeling and Simulation of Multiple-Gate Nanowire MOSFETs," *Tech. Dig. IEEE IEDM (San Francisco, 2004)*, no.24.6, pp.617-62.
- 46) M. Lundsrom, "Fundamentals of Carrier Transport," 2nd edition, Cambridge Press, 2000.
- 47) K. Natori, "Ballistic Metal-Oxide-Semiconductor Field Effect Transistor," *J. Appl. Phys.*, vol.76, pp.4879-4890.
- 48) A. Asenov, G. Slavcheva, A. R. Brown, J. H. Davies, and S. Saini, "Increase in the Random Dopant Induced Threshold Fluctuations and Lowering in Sub-100 nm MOSFETs Due to Quantum Effects: A 3-D Density-Gradient Simulation Study," *IEEE Trans. Electron Devices*, vol.48, no.4, pp.722-729, 2001.
- 49) N. Sano, K. Matsuzawa, M. Mukai, and N. Nakayama, "Role of Long-Range and Short-Range Coulomb Potentials in Threshold Characteristics under Discrete Dopants in Sub-0.1 μm Si-MOSFETs," *Tech. Dig. IEEE IEDM (San Francisco, 2000)*, no.12.2, pp.275-278.

■10 群 - 2 編 - 4 章

4-8 信頼性技術

(執筆: 横川慎二) [2009 年 12 月 受領]

超大規模システムである LSI を故障なく稼働させるためには、セグメントに求められる信頼度は非常に高いものとなる。その実現には、断線、短絡、折損、摩耗、特性劣化などの「故障モード」に対して、物理化学的な要因機構である「故障メカニズム」と、その駆動力としての「ストレス」を把握することが重要である。それより、材料・工法上の改善や設計上の工夫を行い、不具合を回避することが、LSI の安定稼働に不可欠である。

ここでは、LSI 故障の代表的な故障メカニズムについて概要を示す。次に、LSI の信頼性試験の種類及び目的を説明する。更に、メカニズム検討のための物理的故障解析の概略について解説する。

4-8-1 LSI の代表的な故障メカニズム

LSI のトランジスタとして最も実用に供されている MOSFET においては、ゲート絶縁膜の TDDB (Time-dependent Dielectric Breakdown) や、ホットキャリア注入 (Hot Carrier Injection : HCI), BTI (Bias Temperature Instability) などが代表的な故障メカニズムである。また、多層化が進んでセグメント数が爆発的に増加している配線においては、エレクトロマイグレーション (Electromigration), ストレス誘起ポイド (Stress-Induced Voiding : SIV), 低誘電率層間膜の TDDB (Low-k TDDB) などが主な故障メカニズムとして知られている¹⁾。

(1) TDDB

絶縁膜の破壊電界強度よりも低い電界強度でも、電界が印加され続けることにより、やがて絶縁性に劣化が生じる。これが TDDB と呼ばれる現象である。電子注入により絶縁膜内に電子トラップが発生し、その電子トラップ量が臨界量を超えた時点で降伏に至ると考えられている。特に厚さ 4 nm 以下程度の極薄絶縁膜においては、注入された電子が酸化膜との相互作用なしに弾道的に通り抜けるため、電子トラップの発生に寄与する電子エネルギーは電圧に依存する。薄い絶縁膜では $t_{BD} \propto (V_g)^{-n}$ の関係が成立することが示されている²⁾。ここで V_g はゲートに印加される電圧、 n は定数である。この関係は Power Law モデルと呼ばれている。

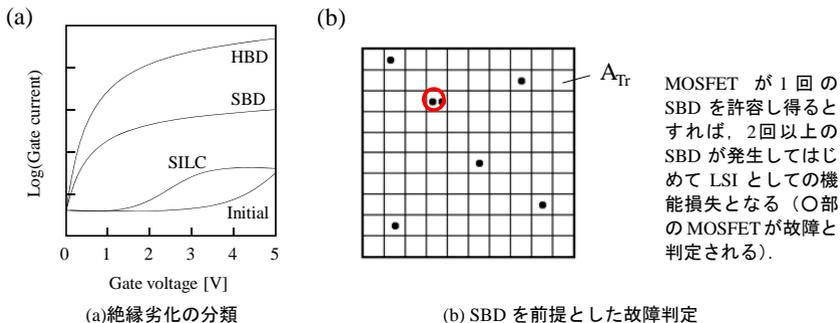


図 4-8-1 TDDB によるゲート絶縁劣化と LSI 故障の概念図

TDDB が発生した際の絶縁性の劣化も、様々な形態をとる (図 4-8・1(a)). SILC はストレス印加の初期に現れる、1~2 桁程度のリーク電流増加である。ハードブレイクダウンは完全に絶縁性が失われ、オーミック特性を示す破壊である。ソフトブレイクダウンは SILC とハードブレイクダウンの中間性の絶縁破壊であり、状況によってはデバイス故障と一致しない (図 4-8・1(b)). デバイスの実使用条件である低い電圧、前段トランジスタのオン抵抗との直列接続などの状況では、ほとんどの事象はソフトブレイクダウンになると考えられる^{3),4)}.

(2) HCI

MOS デバイス内部の高電界によって加速され、エネルギーを得たキャリア (電子あるいは正孔) がゲート絶縁膜に注入される現象を HCI と呼ぶ。HCI により、しきい値電圧の変動や、伝達コンダクタンスやドレイン電流の特性劣化が生じる。

HCI の代表的な二つの形態として、チャネルホットキャリア注入とドレインアバランシェホットキャリア注入の二つがある⁵⁾。前者は、チャネル中の電子が水平方向電界からエネルギーを得てホットになり、シリコン基板とゲート絶縁膜間の電位障壁を越えて、ゲート絶縁膜に注入されるものである (図 4-8・2(a)). 後者は、チャネル中を走行するキャリアがドレイン近傍の高電界により加速され、電離衝突やアバランシェ増倍を起こして発生した電子-正孔対の一部がゲート絶縁膜中に注入される現象である (図 4-8・2(b)).

HCI に引き起こされる特性の劣化量は、nMOSFET と pMOSFET の違いや、電圧条件によって変化する。これらは電子・正孔対の発生率や、バイアス条件に依存して決まるゲート絶縁膜近傍の電界分布、電位障壁を越えてキャリアが注入される確率の違いなどに起因する。

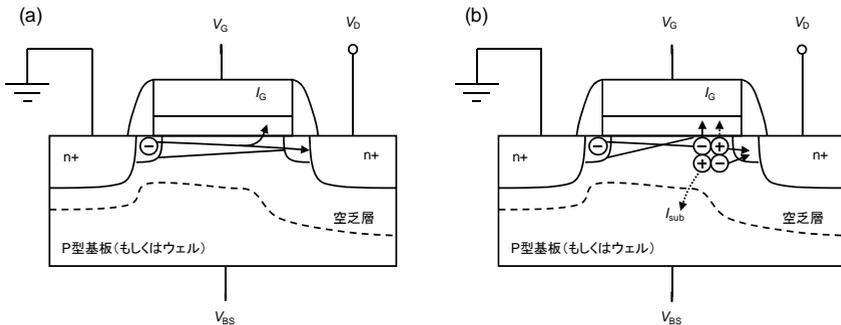


図 4-8・2 ホットキャリア注入の概念図

(3) BTI

高温かつ高バイアスで MOSFET をオンさせた状態において、トランジスタのしきい値電圧の劣化が生じるものである。HCI は回路動作中、すなわち動的な状態で劣化が進行するのに対して、BTI は静的な状態でも劣化が進行する。

pMOSFET の BTI は、ゲートに負バイアスが印加される状態で生じる劣化のため、NBTI (Negative BTI) と呼ばれる。Si 基板とゲート絶縁膜の界面に生じたダングリングボンドを終端させるための H の脱離と界面準位の生成が、NBTI における劣化のメカニズムと考えられている (図 4-8・3)。この反応を説明する NBTI の物理モデルとしては、拡散・反応モデル⁶⁾

がよく知られている。界面で発生した水素関連種の拡散体としては中性の H_2 拡散が主体と考えられており、これによる特性劣化は $\Delta V_{th} \propto 1/6$ の時間依存性となる。

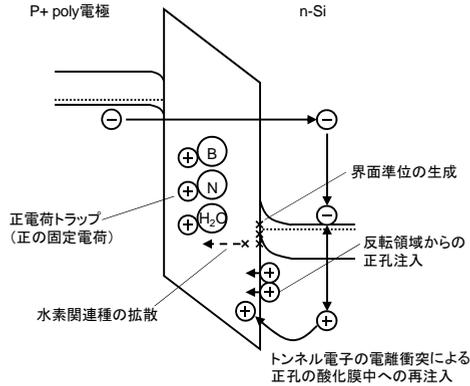


図 8・3 NBTI 劣化メカニズムの概念図。

また、NBTI においては、バイアスオン状態からオフ状態へ移行する瞬間に、非常に早い劣化の回復現象が生じる。そのため、正確な劣化量の測定には、On-the-fly と呼ばれるバイアスを変化させずにしきい値電圧の変化を測定する方法や、 μsec 領域の超高速の I - V 測定法などのテクニックを用いた評価が必須とされている。

一方、高誘電率ゲート絶縁膜 (High- k 膜) を採用した MOSFET において、正ゲート電圧印加と高温化で生じる特性不安定性現象を PBTI (Positive BTI) と呼ぶ。Si 基板から High- k 膜に電子が注入され、その電子が膜中に捕獲されるために生じると解釈されている。正ゲート電圧印加条件で生じるため、事実上 nMOSFET において問題となる。

High- k 膜として主流の一つである HfO_2 膜では、PBTI は膜中の電子トラップへの電子捕獲により誘起され、トラップの起源は膜内の酸素空孔と考えられている。分光エリプソメトリ法による吸収スペクトルで、 HfO_2 膜のバンドギャップ内で伝導帯下約 1.2 eV 付近の酸素空孔エネルギーレベルが観測されている。酸素空孔は Si との接触による電子移動によって発生しやすくなる⁷⁾ため、メタルゲートとの組合せや、組成を Hf-Si-O や Hf-Si-O-N にして Si-O 結合を増やし、酸素空孔を生成しやすい Hf-O 結合比率を低減することが必要となる。

4-8-2 信頼性試験

信頼性試験は、開発・設計・試作・量産の各段階で、信頼度の確認・検証を目的として行われる^{8), 9)}。開発段階では材料や工法の変化に伴う新たな故障モードの発生を検証に重みがかかる。量産段階では信頼度が顧客の要求水準に合致しているか否かを見極めることが重視される。前者の試験では、TEG (Test Element Group) と呼ばれるセグメントのみを取り出したテスト素子を用いることが多く、後者では完成品を用いた試験が実施される。

信頼性試験の試験方法、認定基準としては、EIA/JEDEC, AEC などの業界団体などによりガイドラインが制定されているが、目的と本質に留意した試験方法の選択と、時には新たな方法・モデル・判断を考案・実施することが必要となる。

4-8-3 故障解析

信頼性試験や市場で発生した故障は、論理的、かつ、体系的な調査検討によって分析・解析される。これを故障解析という。広義の故障解析には、物理化学的な手段によって故障メカニズムを分析する、いわゆる故障解析技術¹⁰⁾と、ばらつきをもって発生する寿命時間の統計的な解析、いわゆる信頼性データ解析技術¹¹⁾がある。ここでは、前者について説明する。

故障解析の一連の流れは、故障状況の把握、外觀異常観察、電気的特性測定、再現性確認、非破壊解析、加工、故障箇所絞り込み、物理化学解析、根本原因究明、対策までとなる。非破壊解析の手段としては、X線透視法、X線CT法、超音波探傷法などが代表である。故障箇所の絞り込みには、LSI テスタでの測定結果とソフトウェアによる推論から故障箇所を推定する方法と、物理的現象を利用する方法がある。特に、後者の代表としてはEB (Electron Beam) テスタ法、エミッション顕微鏡法、OBIRCH (Optical Beam Induced Resistance CHange) 法があげられる。局所的な絞り込みのためには、SEM (Scanning Electron Microscope) やSPM (Scanning Probe Microscope) をベースとしたナノプロービング法や、EBAC (Electron Beam Absorbed Current) 法や、VC (Voltage Contrast) 法が用いられている。故障の局所的な位置が特定された後には、FIB (Focused Ion Beam) などを用いてその位置周辺を切り出し、物理化学的な解析を行う。SEM、TEM (Transmission Electron Microscope)、STEM (Scanning TEM) による観測と、それらに付与したEDS (Energy Dispersive X-ray Spectrometry)、EELS (Electron Energy Loss Spectroscopy)、などで元素分析を行い、欠陥の素性を分析することが行われる。これらのことは参考文献 10)、12) に詳しい。

欠陥の素性が判明した際には、欠陥が生じた根本原因を究明し、再発防止策や未然防止策などの対策を施すこと、その効果を再現実験などで確認することが必要である。

■参考文献

- 1) 新宮原正三(編), “金属微細配線におけるマイグレーションのメカニズムと対策,” サイエンス&テクノロジー, 2006.
- 2) E. Wu, et al., “New Global Insight in Ultrathin Oxide Reliability Using Accurate Experimental Methodology and Comprehensive Database,” IEEE Trans. on Dev. and Mat. Rel., vol.1, pp.69-80, 2001.
- 3) M. A. Alam, et al., “A Study of Soft and Hard Breakdown -Part I: Analysis of Statistical Percolation Conductance,” IEEE Trans. on ED, vol.49, pp.232-238, 2002.
- 4) M.A. Alam, et al., “A Study of Soft and Hard Breakdown -Part II: Principles of Area, Thickness, and Voltage Scaling,” IEEE Trans on ED, vol.49, pp.239-246, 2002.
- 5) 小柳光正, “サブミクロンデバイス(2),” 丸善, 1988.
- 6) S. Ogawa and N. Shiono: “Generalized diffusion-reaction model for the low-field charge-buildup instability at the Si-SiO₂ interface,” Phys. Rev., B51, pp.4218-4230, 1995.
- 7) 鳥居和功, 白石賢二, 宮崎誠一, 山田啓作, “HfO₂系 high-k ゲート絶縁膜の信頼性劣化機構モデル,” 応用物理, vol.74, pp.1211-1216, 2005.
- 8) 小山 健, 松本平八, “信頼性技術入門,” 日本規格協会. 1994.
- 9) 鈴木和幸(編著), “信頼性七つ道具,” 日科技連出版社, 2008.
- 10) 二川 清, “故障解析技術,” 日科技連出版社, 2008.
- 11) 鈴木和幸, 益田明彦, 石田 勉, 横川慎二, “信頼性データ解析,” 日科技連出版社, 2009.
- 12) LSI テスティング学会(編), “LSI テスティングハンドブック,” オーム社. 2008.