

## ■10 群 (集積回路) - 6 編 (アナログ LSI)

# 8 章 位相同期回路 (PLL)

(執筆者：道正志郎) [2009 年 5 月 受領]

### ■概要■

位相同期回路, すなわち Phase-Locked-Loop (PLL) は演算増幅器が電圧及び電流をフィードバックする回路であるのに対して, 信号の位相成分をフィードバックすることにより, 結果的に入力信号周波数と自身の持つ電圧制御発振器の出力周波数を同期させる回路である<sup>1)</sup>. 現在では, 位相同期回路は殆どの電子回路を含むシステムに, 欠かせない重要な回路となっている. その応用範囲をいくつか挙げると, コンピュータなどの電子機器のクロック発生回路, 通信システムに用いられる周波数シンセサイザ, テレビシステムでの画像同期信号生成回路, 光ディスクや高速インタフェースなどでのデータ及びクロック再生回路, モータなどの回転体の速度制御回路などがある.

位相同期回路は, このように応用範囲が多岐にわたる. したがって, アプリケーションに特化した様々な回路技術が開発されてきた. すなわち, 応答性, 出力周波数の高分解能化, 低位相ノイズ化, 汎用性の向上のためのアダプティブバイアス化, ループフィルタの小面積化などである.

### 【本章の構成】

本章では以下について, その技術的特長と基礎理論及び設計手法に関して解説する.

- 8-1 チャージポンプ型 PLL
- 8-2 オールデジタル PLL
- 8-3  $\Delta\Sigma$ 型分数分周シンセサイザ
- 8-4 データ抽出あるいはクロック抽出用 PLL
- 8-5 デイレイロックループ (DLL)
- 8-6 位相比較器, 周波数比較器, 及び位相周波数比較器
- 8-7 分周器
- 8-8 ループフィルタ及びその最適化手法
- 8-9 位相雑音とジッタ特性の関係

## ■10 群-6 編-8 章

### 8-1 チャージポンプ型 PLL

(執筆者：道正志郎) [2009年5月 受領]

チャージポンプ型 PLL は位相同期回路のなかで最も多用される汎用回路である<sup>2)</sup>。図 1・1 に回路構成とフィードバック動作及び線形解析用のブロック図を示す。

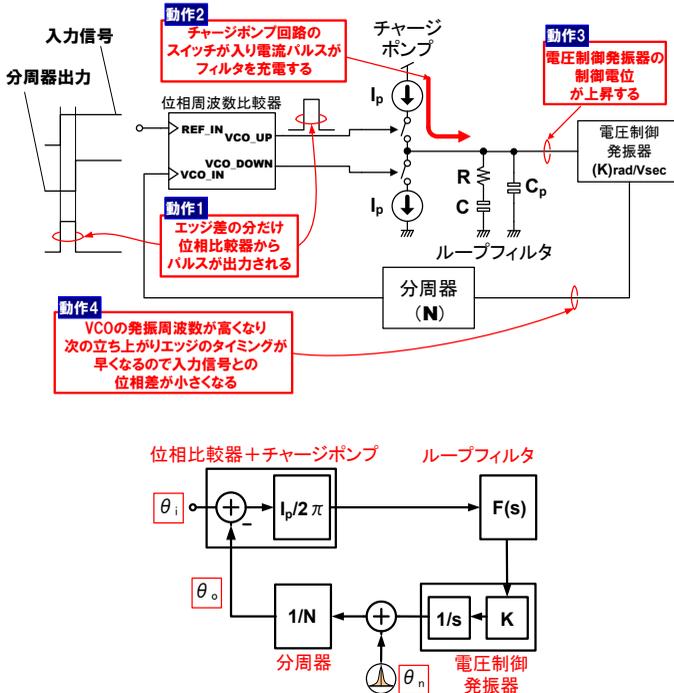


図 1・1 チャージポンプ型 PLL の基本構成

以下にチャージポンプ型 PLL の構成要素とその働きを示す。

**位相周波数比較器 (Phase Frequency Detector) :** 入力信号とフィードバック信号を比較し、アンロック時には周波数比較信号、ロック時には位相比較信号をそれぞれデジタルパルスとして出力する<sup>3)</sup>。

**チャージポンプ回路 :** 位相周波数比較器から出力されるデジタル位相差信号をアナログ量に変換しループフィルタへ出力する。電流出力型と電圧出力型の 2 種類があり、応答性、伝達特性の安定度の差から、現在では電流出力型が多用されている。

**ループフィルタ :** 回路の安定化と応答特性を決定するためのフィルタ回路。位相同期回路の位相ノイズ特性を決定する。

**電圧制御発振器 (Voltage Controlled Oscillator : VCO) :** 入力電圧に応じて発振周波数に変化する発振回路。

**分周器:** 電圧制御発振器からの発振出力の発振周波数を  $M$  分の 1 に分周して出力する回路。

現在では、分周比が分数の分数分周器も開発され周波数シンセサイザなどに应用されている。

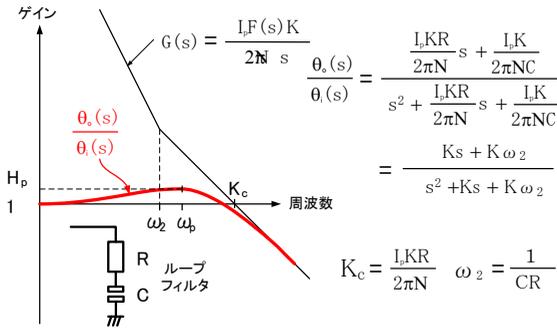
位相同期回路の動作は図 1・1 に示すとおりである。また、チャージポンプ型 PLL の解析に必要な伝達特性は次の 3 式である<sup>4)</sup>。

$$\text{入出力位相伝達特性: } \frac{\theta_o(s)}{\theta_i(s)} = \frac{I_p F(s) K}{I_p F(s) K + 2\pi N s} = \frac{G(s)}{1 + G(s)}$$

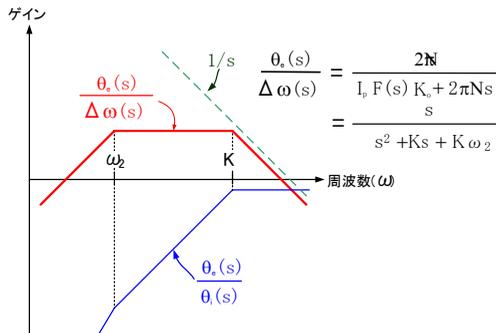
入力位相の出力位相への伝達特性であり、入力ノイズの伝達特性でもある。

$$\text{位相誤差伝達特性: } \frac{\theta_e(s)}{\theta_i(s)} = 1 - \frac{\theta_o(s)}{\theta_i(s)} = \frac{2\pi N s}{I_p F(s) K + 2\pi N s} = \frac{1}{s^2 + K s + K \omega_2}$$

入力位相変化の位相比較器での位相誤差に対する伝達特性である。VCO 位相ノイズの出力位相への伝達特性でもある。



(a) 入出力位相伝達特性



(b) 入力周波数変化対位相誤差伝達特性

図 1・2 PLL の伝達関数特性

$$\text{入力周波数変化対位相誤差伝達特性} : \frac{\theta_e(s)}{\Delta\omega(s)} = \frac{1}{s} \times \frac{\theta_e(s)}{\theta_i(s)} = \frac{2\pi N}{I_p F(s)K + 2\pi Ns}$$

入力信号周波数や VCO 周波数が増加した場合に位相比較器入力に現れる位相誤差の計算に必要。FM 復調器の設計や電源ノイズ耐性を見積もる際に必要となる。

図 1・2(a)に示すように、入出力位相伝達特性は LPF 特性、位相誤差伝達特性は式より明らかのように HPF 特性、図 1・2(b)に示すように、入力周波数変化対位相誤差伝達特性は BPF 特性となる。したがって、電源変動などの VCO 周波数変化を引き起こすノイズに対して、PLL の感度は BPF 特性となり、感度極大周波数が存在する。したがって、電源ノイズの影響抑制のため、バンドパス特性の逆特性を持つ電源フィルタが必要となる。

## ■10 群-6 編-8 章

### 8-2 オールデジタル PLL

(執筆者：道正志郎) [2009年5月 受領]

オールデジタル PLL とは、すべての回路ブロックを論理ゲートで構成した回路、あるいは電圧制御発振器以外のブロックを論理ゲートで構成した回路として定義されている<sup>5)~8)</sup>。

位相同期回路のデジタル化の要求は、主にアナログ PLL ではループフィルタ部の面積が大きくなることがあり、微細化されたシステム LSI のコスト要求に合わないこと。また、デジタルフィルタはサンプリング回路であるため、入力信号周波数に比例するクロックで駆動すれば、自動的に入力信号周波数に比例したループバンド幅を持つ PLL が実現でき、汎用性に優れることに端を発している。

図 2・1 にデジタル PLL の基本構成を示す。入力信号と PLL のフィードバック信号の位相差信号はデジタル位相比較器によってデジタル信号に変換され、デジタルループフィルタ及び $\Delta\Sigma$ 変調器を通過してデジタル制御発振器に入力される。図 2・2 に示すデジタル位相比較器では、入力クロックの周波数と、位相差の両方をインバータチェーンの段数として測定し、その比率より位相差を検出するため、正確なデジタル位相差検出回路が構成できる<sup>9)</sup>。

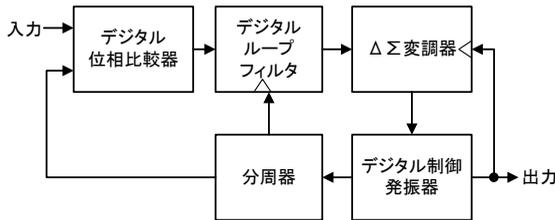


図 2・1 オールデジタル PLL の基本構成

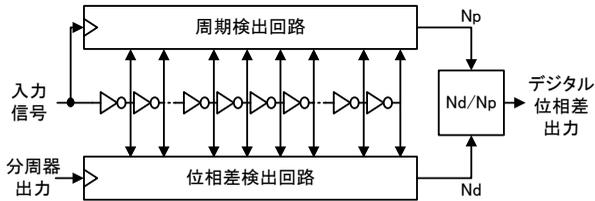


図 2・2 デジタル位相比較器の回路構成例

デジタルフィルタは基本的には入力信号周波数以上の入力信号周波数に比例したクロックで駆動される。すなわち、入力信号周波数によってループバンド幅周波数が自動的に可変となる。したがって、アナログ PLL と異なり、ループバンド幅を設定するために回路定数を変更する必要がない。一方、デジタル位相比較器で発生した量子化誤差などがデジタル制御発振器にスプリアスノイズを発生させる場合がある。したがって、スイッチングノイズが影響し

ないように、デジタル制御発振器にデジタルコードを入力する前に、 $\Delta\Sigma$ 変調器を用いてスイッチングノイズの周波数成分を高周波領域に集中させる必要がある<sup>9)</sup>。

## ■10 群-6 編-8 章

### 8-3 $\Delta\Sigma$ 型分数分周シンセサイザ

(執筆者：道正志郎) [2009年5月 受領]

#### 8-3-1 シンセサイザ基本構成と動作

$\Delta\Sigma$ 分数分周シンセサイザ<sup>10)</sup>は、近年のPLLの発達のなかでも特筆すべき成果の一つである。その理由は、非常に細かい出力周波数制御を可能にしながら、ループバンド幅も広帯域に設定できる点にある。この機能の実現により、CDMA や OFDM などを利用する通信システムの携帯無線などへの応用が可能となり、携帯電話市場が大いに発達することになった。

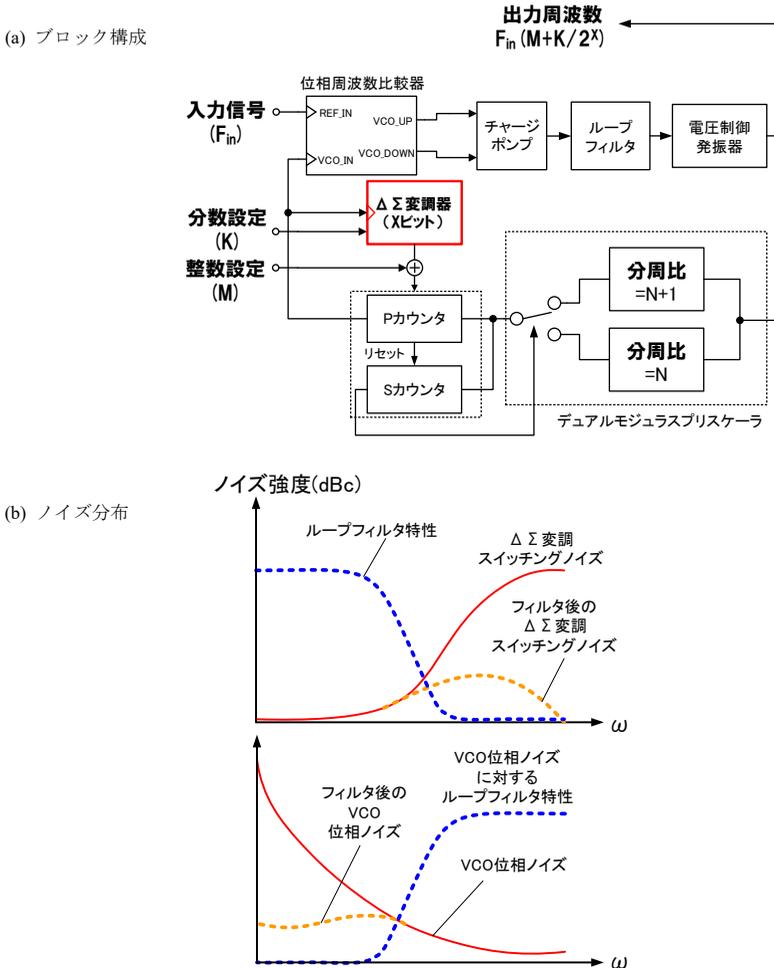


図 3・1  $\Delta\Sigma$ 型分数分周シンセサイザのブロック構成とノイズ分布

図 3・1 において、パルススワローカウンタとデュアルモジュラスプリスケアラで構成される分周器の分周比は  $PN+S$  で決定される。 $\Delta\Sigma$ 変調器はパルススワローカウンタの出力で駆動され、変調器の出力ビットは  $PN+S$  の  $P$  及び  $S$  の値を制御して分周を可変する。 $\Delta\Sigma$ 変調器の内部のダイナミックレンジを  $X$  ビットとすれば、 $\Delta\Sigma$ 変調器が作り出せるパルス密度は 2 の  $X$  乗分の 1 の解像度を持つ。したがって、作り出せる分数分周比の解像度も  $1/2^X$  となる。

通常  $X$  は 20 ビット程度であるので、出力周波数の解像度は入力信号周波数の 1 ppm 程度にでき、ほぼ連続に周波数を可変にできるといってよい。一方、分数分周方式では入力信号に同期して分周比を切り替えるので、スイッチングノイズが発生する、しかし、そのノイズ成分の周波数は、 $\Delta\Sigma$ 変調の効果によって高周波領域に集中する。図 3・2(b)に示すように、集中したスイッチングノイズは、ループフィルタによって取り除かれ、出力ジッタ成分への寄与は大きく低減される。この低減効果はループフィルタのカットオフを低くするほど大きい。ところが、カットオフを低くすると、今度は電圧制御発振器の位相ノイズが出力に漏れる(図 3・2(b)下図)。したがって、シンセサイザのループバンド幅には出力位相ノイズを最小とする最適値が存在する。このバンド幅を自動調整する試みは幾つかの論文に見られる<sup>11)</sup>。

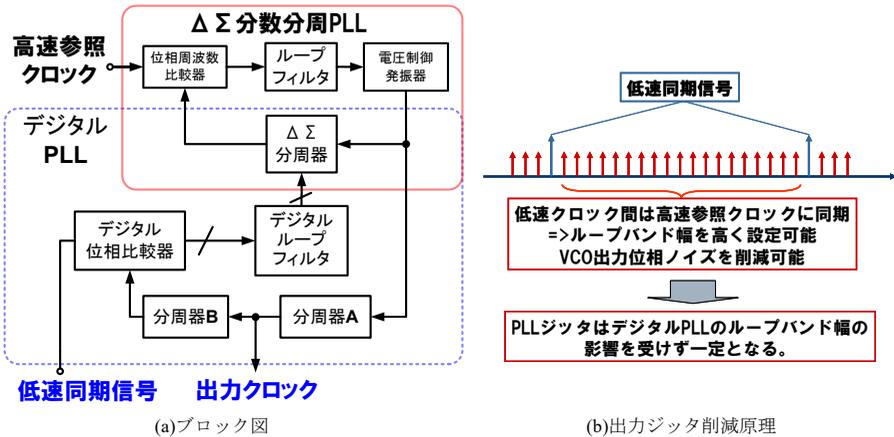


図 3・2 ハイブリッドループ $\Delta\Sigma$ シンセサイザブロック図と出力ジッタの低減原理

また、発生するスイッチングノイズは、ループフィルタ通過時はアナログ量であるが、もともとはデジタル量子化誤差であり、その値は計算可能である。したがって、 $\Delta\Sigma$ 変調器で、ループフィルタ入力で発生する量子化ノイズをあらかじめ見積もり、DA 変換器を用いて逆相のスイッチングノイズを発生させ、量子化ノイズを相殺する手法も存在する。この場合、ループフィルタのカットオフを量子化ノイズ削減のため低くする必要がない。すなわち、より高速に出力周波数を可変可能なシンセサイザが構成可能である<sup>12)</sup>。

### 8-3-2 ハイブリッドループ $\Delta\Sigma$ シンセサイザ

$\Delta\Sigma$ 分周シンセサイザは非常に細かい分周比をデジタル値で設定できる。したがって、図 3・2(a)に示すように、アナログ回路である $\Delta\Sigma$ 分周シンセサイザと、デジタル PLL を組み合わせ

たハイブリッドループ $\Delta\Sigma$ シンセサイザ<sup>13)</sup>を構成することができる。本シンセサイザは2つの参照クロックに同期することができる。すなわち、 $\Delta\Sigma$ 分周シンセサイザに入力される高速の参照クロックと、デジタルPLLに入力される低速の同期信号である。通常、分周比の高いシンセサイザの場合には、入力信号が低周波であるためにループバンド幅を高く設定できず、VCOから発生する位相ノイズを抑制することができない。したがって、出力位相ノイズが増大してしまう欠点があった。ハイブリッドループシンセサイザでは、低速同期信号が入力されない間は、別に入力される高速参照クロックに同期するので、ループバンド幅を高く保つことができ、出力位相ノイズは分周比に左右されることがない(図3・2(b))。

## ■10 群-6 編-8 章

### 8-4 データ抽出あるいはクロック抽出用 PLL

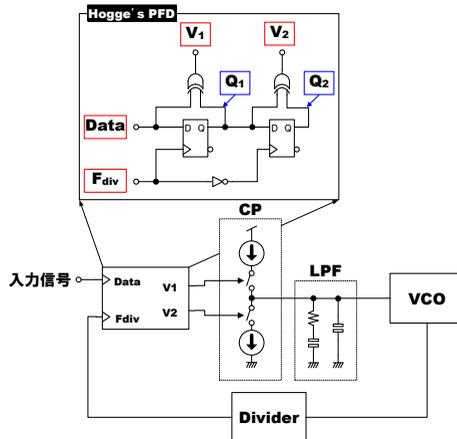
(執筆者：道正志郎) [2009年5月 受領]

データ抽出あるいはクロック抽出用位相同期回路とは、通信インターフェースでデータのみが送信されてくる場合に、データからそのデータをラッチするためのクロックを抽出しデータとその同期クロックを一挙に得るための回路である。この手法は古くは、受信信号を波形等化用のアナログフィルタを通過させた後、アナログ型の位相同期回路によりクロック抽出を行っていた<sup>14)</sup>。近年では、DVD用にPRML (Partial Response Maximum Like Hood) 技術を応用した回路や、HDMI用などでオーバーサンプリング技術を応用した回路が登場し、その回路と応用範囲は多岐にわたっている<sup>15)</sup>。

#### 8-4-1 Hogge の位相比較器を用いたデータ抽出回路

図 4・1 に古典的なデータ抽出用位相比較器である Hogge の位相比較器を用いたデータ抽出

(a) 回路構成



(b) タイミングチャート

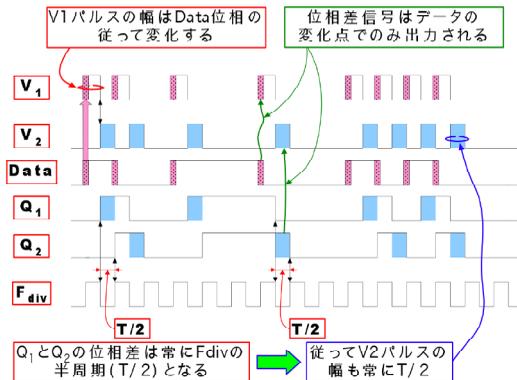


図 4・1 Hogge の位相比較器を用いたデータ抽出回路とタイミングチャート

回路構成とタイミングチャートを示す<sup>15)</sup>。Hogge の位相比較器は、データ変化時に、常に  $T/2$  パルス幅の出力パルスを発生する  $V_2$  端子と、データ変化時に、データ位相によって変化するパルスを出力する  $V_1$  端子を有する。PLL は、 $V_1$  端子の出力するパルスと、 $V_2$  端子の出力するパルス幅が等しくなった場合に、定常状態となるように動作する。

定常状態では、再生クロックは、データのアイパターンの中心をたたく。したがって、Hogge の位相比較器を用いる場合には、チャージポンプ回路の充放電電流を正確に一致させる必要がある。さもないと、アイパターンの中心を再生クロックがたたけなくなる欠点がある。

#### 8-4-2 $T/2$ ディレイ方式を用いた位相同期回路

次に、 $T/2$  ディレイ方式を用いたデータ抽出回路を示す<sup>17)</sup>。本方式は、直接入力データ信号と、分周器出力の位相を比較するのではなく、入力データの遷移時に、 $T/2$  パルス発生器からクロックの半分の周期のパルス ( $T/2$  パルス) を発生させる。 $T/2$  パルスは、図 4・2(a)に示すセット付き位相周波数比較器をアクティブ状態とする。つまり、入力データ遷移時のみ、位相周波数比較器が動作し、周波数比較動作によって誤動作を起こす心配がない。次に、 $T/2$  パル

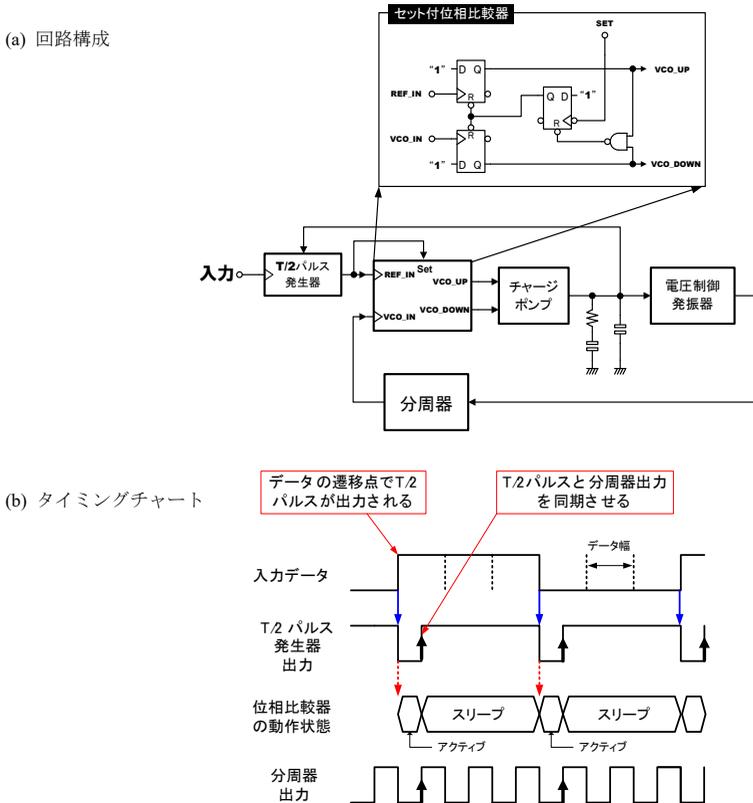


図 4・2  $T/2$  ディレイ方式のクロック抽出回路とタイミングチャート

スと分周器出力の立ち上がりエッジが比較され位相比較動作が完了する。位相比較動作が完了すると、セット付き位相周波数比較器は再びスリープ状態となる。以下、入力データの遷移時に同様の動作を繰り返す。本方式では、正確な  $T/2$  パルス発生を行わないとデータアイバタンの中心をたたけない。以上のように、アナログ方式のデータ抽出回路では、正確なアナログ量を発生あるいは比較する必要があるため、高速化に限界がある。したがって、近年では、多相クロックを発生し、データをオーバーサンプルしてデータ抽出する方式が有力である。

## ■10 群-6 編-8 章

### 8-5 ディレイロックループ (DLL)

(執筆著者：道正志郎) [2009年5月受領]

ディレイロックループ (DLL) とは、位相同期回路の一種ではあるが、電圧制御発振器の代わりに電圧制御遅延回路を用いる。図 5・1(a)にディレイロックループの基本回路を示す<sup>18)</sup>。

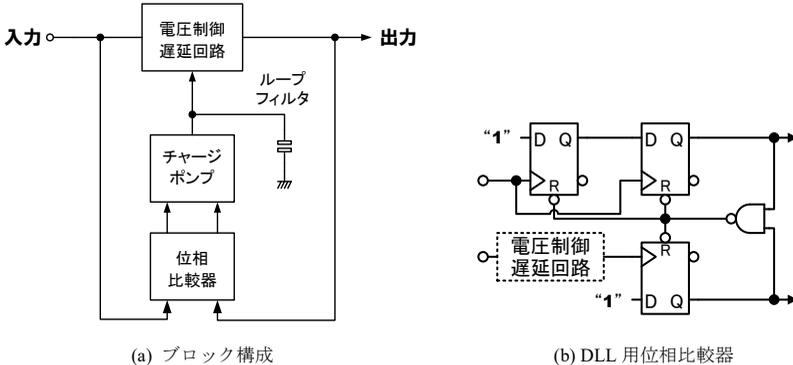


図 5・1 ディレイロックループブロック図と位相比較器構成

DLL では、入力信号が電圧制御遅延回路に入力され、通常は 1 クロック遅延されて出力される。その出力信号と入力信号の位相差を位相比較器で検出してフィードバックすることにより位相同期を実現する。DLL では位相差信号のみを検出する。

また、電圧制御遅延回路はクロックを遅延するだけであるので、出力クロック位相が進むことがないため、通常の位相比較器では正常な位相比較動作を行うことができない。

図 5・1(b)に示すように、DLL 用位相比較器では入力信号側に D フリップフロップを追加し、電圧制御遅延回路と等価な遅延を追加する必要がある。また、初期状態で、電圧制御遅延回路が 1 クロック以上遅延していた場合には、2 クロック遅延以上の遅延に誤ってロックする可能性がある。したがって、初期状態で必ず最小遅延の状態から位相同期を始めるようにすることと、誤ロックした場合に備えて、誤ロック検出回路を備える必要がある。図 5・2 に誤ロック検出の具体的な例を挙げる。電圧制御遅延回路をインバータチェーンなどで構成した場合、正常時の 1 クロック遅延では遅延回路内に立ち上がりエッジが存在しない。

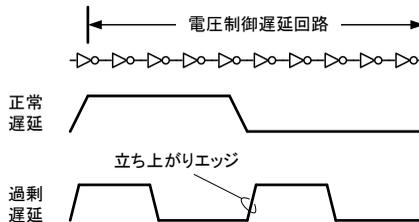


図 5・2 誤ロック検出方法

一方、誤ロックの場合には2クロック以上の遅延となり、遅延回路内に立ち上がりエッジが存在する。したがって、このエッジを検出し、誤ロック状態の検知が可能となる<sup>19)</sup>。また、DLLでは、定常位相誤差を最小化する必要がある。図5・3に定常位相誤差の少ないチャージポンプ回路の構成例を示す。同一タイプのMOSスイッチを使用できるため、スイッチからのフィードスルーノイズを相殺し、定常位相誤差を最小化できる<sup>20)</sup>。

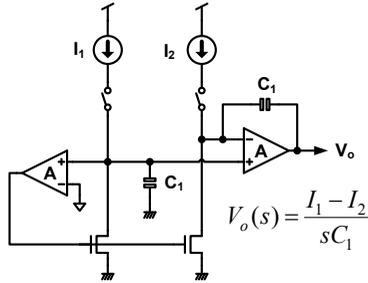


図5・3 定常位相誤差の少ないチャージポンプ回路

DLLでは、以上説明したアナログ型だけでなく、シンクロナスマラーディレイ回路のように完全にデジタル化されたものもある。シンクロナスマラーディレイ回路は2クロックと非常に短時間で位相ロックが完了するのが特徴である<sup>21)</sup>。

## ■10 群-6 編-8 章

### 8-6 位相比較器, 周波数比較器, 及び位相周波数比較器

(執筆著者: 道正志郎) [2009年5月 受領]

#### 8-6-1 位相比較器<sup>4)</sup>

いわゆる乗算器や、NAND ゲートを用いた位相比較器で、2つの入力信号の相関としての位相差のみを出力することのできる位相比較器である。出力対入力位相差特性(図 6・1(a))は周期関数となり、位相差が正であっても反対の負の出力を出すことがあるため、周波数引き込み特性は極めて弱いことが特徴である。したがって、補助の周波数比較器と共に位相同期回路を形成することが多い。

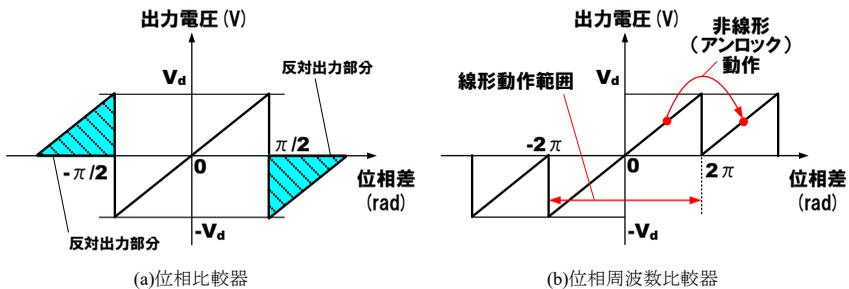


図 6・1 位相比較器と位相周波数比較器の出力対位相差入力特性

#### 8-6-2 位相周波数比較器<sup>3),4)</sup>

位相周波数比較器は、3 相位相比較器とも言われる。その回路構成を図 6・2(a)に、その動作の状態遷移図を図 6・2(b)にそれぞれ示す。位相周波数比較器は無出力状態では、NO OUTPUT の状態である。そのとき、2つの出力は Low である。この状態で、どちらかの入力が入ると、トリガのかかった D-FF の出力が High となり VCO\_UP あるいは DOWN の状態に遷移する。次に最初に入ったトリガの反対の入力がくると、両方の出力が一端 High となり、NAND ゲートが Low となって D-FF がリセットされ出力が Low となって NO OUTPUT の状態に戻る。したがって、2つの信号の位相差に応じた出力パルスが発生する。同じ状態のトリガが入力され続けても状態は遷移せず同じ状態を維持する。

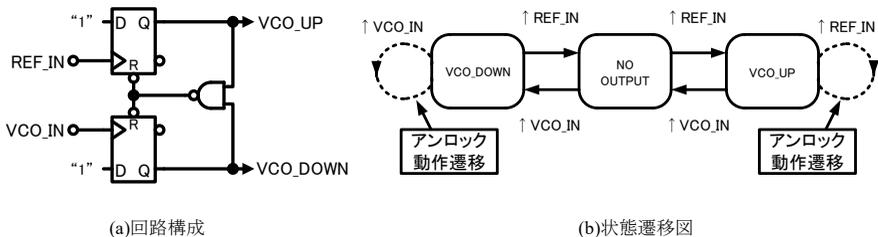


図 6・2 位相周波数比較器の回路構成と状態遷移図

このときの動作はアンロック動作遷移である。位相周波数比較器の出力対位相差入力特性を図 6・1(b)に示す。特徴的なことは、位相比較器と異なり、位相差に対して反対方向の出力信号が発生しないことである。

したがって、周波数比較器としても動作し、周波数引き込み特性は通常、VCO の発振可能範囲と同じになる。

### 8-6-3 周波数比較器<sup>4),14)</sup>

クロック抽出型 PLL などの、位相周波数比較器が使用できない位相同期回路では、周波数引き込み特性が弱い位相比較器しか用いることができない。したがって、補助的な周波数比較器を用いて周波数引き込み特性を向上する必要がある。

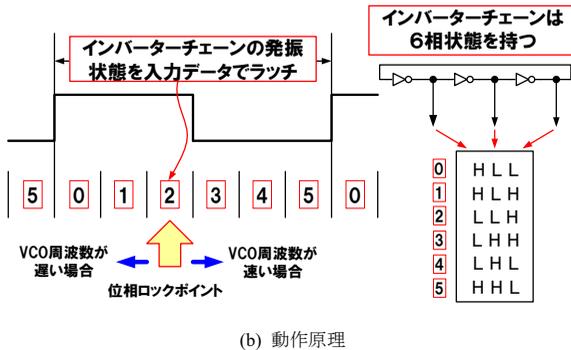
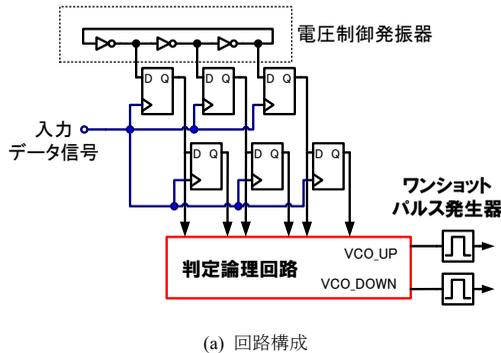


図 6・3 周波数比較器の回路構成と動作原理

図 6・3(a)に周波数比較器の回路構成例を、図 6・3(b)にその動作原理を示す。周波数は位相の微分であるので、電圧制御発振器の位相状態変化から周波数差を検出して、周波数補正を行う。すなわち、3 段のインバータチェーンで構成された発振器は図 6・3(b)に示す 6 つの位相状態を持つ。入力データ信号のエッジごとに電圧制御発振器の位相状態を検出し、その変化を見る。

入力データと電圧制御発振器の同期時には、常に同じ発振状態が検出されるが、非同期時には検出状態がずれる。したがって、周波数差を検出することが可能となる。

■10 群-6 編-8 章

8-7 分周器

(執筆者：道正志郎) [2009年5月 受領]

位相同期回路では分周器が非常に大きな役割を担う。なぜなら、分周器が動作しない場合には PLL はデッドロック状態に陥ってしまうからである。分周器は、確実に VCO 出力クロックを分周する必要があり、更に自由に分周比を設定できることが望ましい。

自由に分周比を設定するにはデュアルモジュラスプリスケラとパルススワローカウンタを併用する必要がある。その構成を図 7・1(a)に、動作チャートを図(b)にそれぞれ示す。

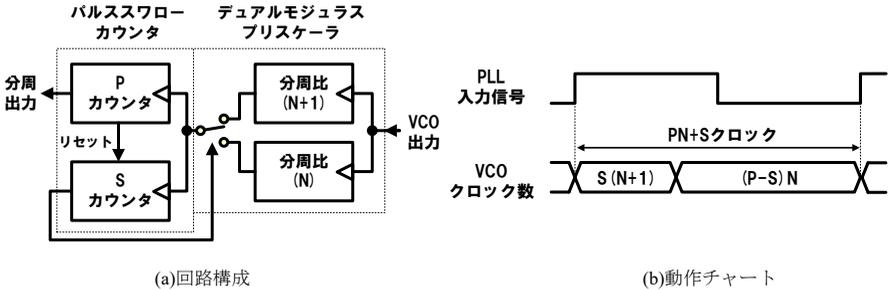


図 7・1 デュアルモジュラスプリスケラとパルススワローカウンタによる分周器

デュアルモジュラスプリスケラは  $N$  分周と  $N+1$  分周の両方が任意で選択できるプリスケラ（高速動作分周器）であり、パルススワローカウンタは、全体が  $P$  クロックで動作し、そのうち、 $S$  クロックの間はプリスケラを  $N+1$  分周で、 $P-S$  クロック期間を  $N$  分周で動作させる。したがって、全体の分周比は  $PN+S$  となる。通常  $N$  は 2 のべき乗数であり、 $P$  と  $S$  は  $P \geq S$  の条件で任意に設定できる。したがって、 $N$  分周から  $PN+S$  分周までの分周比を任意に設定可能である。この回路構成で問題となるのは、 $N$  分周と  $N+1$  分周での切り替え時の制御信号のタイミングである。すなわち、デュアルモジュラスプリスケラを同期式カウンタで構成すると、VCO 出力クロックの周期しか切り替え信号の設定期間がとれなくなる。信号の切り替え期間を最大とするプリスケラ方式としては Larson の分周器がある（図 7・2）。

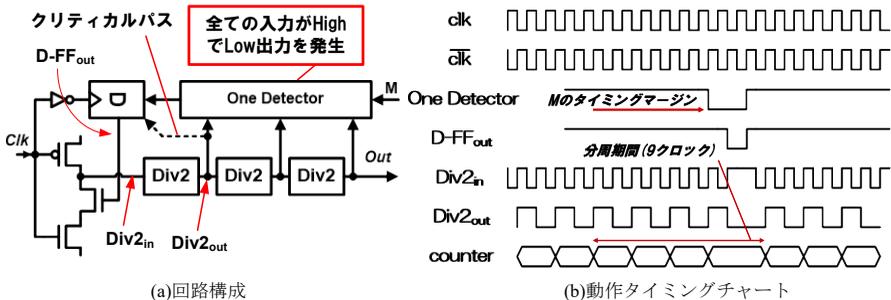


図 7・2 Larson の分周器の回路構成と動作タイミングチャート

Larsson の分周器は One Detector により各非同期 2 分周器出力がすべて 1 となった時点で Low 信号を D-FF に出力し, その瞬間 1 クロックだけカウンタが停止し,  $N$  と  $N + 1$  分周を切り替える (図の場合は 8/9 分周). 切り替え制御は M 信号が行う. この M 信号のタイミングマージンは VCO クロックの 6 つ分を当てることが可能である. また, この方式はクリティカルパスが  $\text{Div}2_{\text{out}}$  から D-FF へのパスのみで非常に短く, 高速化に適した構成でもある<sup>22)</sup>.

## ■10 群-6 編-8 章

### 8-8 ループフィルタ及びその最適化手法

(執筆著：道正志郎) [2009年5月 受領]

位相同期回路において、ループフィルタの最適化は出力位相ノイズを最小化するうえで重要である。特に分数分周シンセサイザでは、量子化ノイズと VCO 位相ノイズはループフィルタバンド幅に対して相反するノイズ傾向を示すため、出力ノイズが最小となる最適なバンド幅が存在する。また、ループフィルタを構成する抵抗の持つ熱雑音は VCO 位相ノイズに重畳されるため抵抗値の最適化は重要である。更に、システム LSI において PLL のループフィルタは大きな面積を占める可能性があるため、ループフィルタの小面積化も大きな課題である。

本節ではそれらに対する近年の設計手法について述べる。

#### 8-8-1 ループフィルタ最適化手法<sup>23)</sup>

3 次ループ PLL のフィルタ最適化手法を、図 8・1 を用いて説明する。

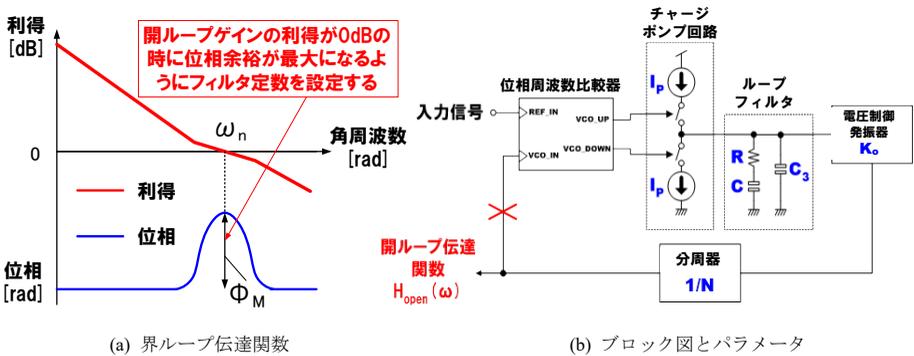


図 8・1 3 次ループ位相同期回路のフィルタ最適化手法

最適化された位相同期回路の伝達関数は、図 8・1(a)に示すように、開ループ特性でのユニティゲイン周波数 ( $\omega_n$ ) で位相余裕 ( $\Phi_M$ ) が最大となる。最適な伝達関数  $H_{opt}(s)$  は以下の式に示すように既知である。したがって、実際の回路の伝達特性  $H_{open}(s)$  と  $H_{opt}(s)$  を合致させればよい。図 8・1(b)に示す 3 次ループ PLL 回路の開ループ伝達特性  $H_{open}(s)$  は以下の式となる。

$$H_{opt}(s) = \frac{\omega_n^2 \sqrt{b} (s + \frac{\omega_n}{\sqrt{b}})}{s^2 (s + \omega_n \sqrt{b})} \quad b = 1 + \frac{C}{C_3}$$

ループフィルタ容量  $C$  とチャージポンプ電流  $I_p$  は、抵抗  $R$ 、ループバンド幅  $\omega_n$ 、VCO ゲイン  $K_o$ 、容量比  $b$  のパラメータとして以下の式で表される。また、 $b$  と位相余裕  $\Phi_M$  の関係は以下のとおりである。

$$C = \frac{\sqrt{b}}{\omega_n R} \quad I_p = \frac{2\omega_n \pi}{K_o R} \times \frac{b}{b-1}$$

$$b = 2 \tan(\Phi_M) \left( \tan(\Phi_M) - 1 + \sqrt{\tan(\Phi_M)^2 + 1} \right) + 1 + 2 \tan(\Phi_M)$$

## 8-8-2 ループフィルタの小型化<sup>24)~26)</sup>

ループフィルタは大面積を占めやすい部分であり、小型化は必須である。しかし、通常用いられているフィルタの小型化には以下の問題がある。すなわち、チャージポンプ電流とフィルタ容量は比例するが、抵抗値は反比例する。つまり、容量値を削減すると抵抗値が大きくなって出力熱雑音が大きくなり、PLL のジッタ特性が劣化する (図 8・2(a)参照)。したがって、チャージポンプ回路を 2 個使用し、抵抗と容量を駆動する電流値を異なる値として小面積化する<sup>24)</sup> (図 8・2(b)参照)。

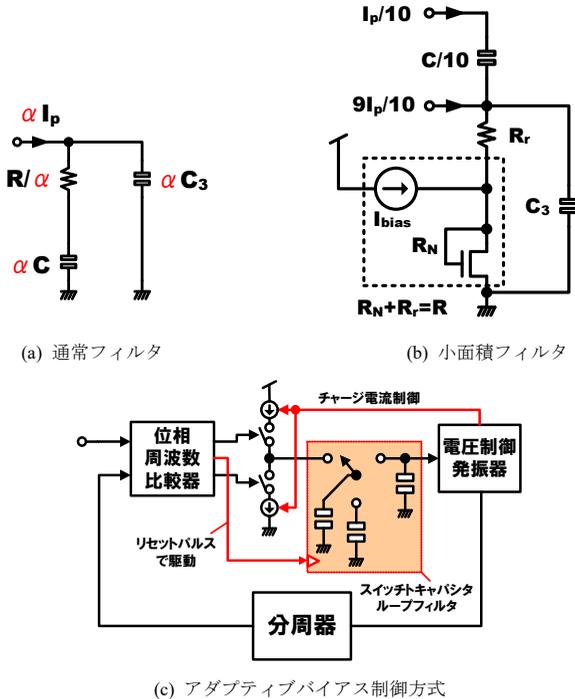


図 8・2 小面積フィルタとアダプティブバイアス制御

図ではチャージポンプ出力が 0 にならぬように、電流源と MOS 抵抗で一定電位を与えている。その他の手法としては、図 8・2(c)に示すスイッチトキャパシタ回路でフィルタを構成する方法がある<sup>27)</sup>。スイッチトキャパシタ回路ではフィルタを構成する素子に容量しか含まれないため、チャージ電流と全素子値を比例関係にでき、面積縮小が可能である。更に、フィルタがサンプリング化されるため、入力クロックに応じてループフィルタのカットオフ周波数を可変にできる。図 8・2(c)に示すように、電圧制御発振器の制御電流とチャージポンプ回路のチャージ電流を比例関係で制御することにより、入力信号周波数にループバンド幅を完全に比例させることが可能である。したがって、レンジの非常に広い位相同期回路を実現できる。

■10 群-6 編-8 章

8-9 位相雑音とジッタ特性の関係

(執筆者：道正志郎) [2009年5月 受領]

PLLは通常、位相ノイズ量が最小になるように周波数特性を最適化する。一方で、PLLの特性は周波数領域だけでなく、時間領域のジッタ量としても表現される。

したがって、設計者は発振器の位相ノイズスペクトルが与えられた場合、そのジッタ特性を見積もる必要がある。発振器のジッタ特性は、例えば  $n$  サイクルジッタ特性の場合には図 9・1 に示すように  $n$  クロック前の位相と現在の位相の差分として表現される。

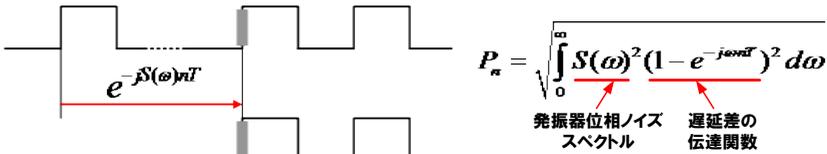


図 9・1  $n$  サイクルジッタの位相ノイズ ( $P_n$ ) 計算

ここで発振器から  $n$  サイクルジッタへの位相の伝達関数は、 $1 - e^{jS(\omega)nT}$  で表される。  $T$  は発振器の発振周期、  $n$  は何クロック前の位相と差分をとるかを示す。すなわち、1 サイクルジッタであれば 1 となり、100 クロック後のアキュムレーションジッタの測定では、 $n=100$  となる。また、 $S(\omega)$  には発振器の位相ノイズスペクトルを与える必要がある。したがって、位相ジッタに寄与する発振器の位相ノイズ量は図 9・1 の  $P_n$  で表すことができる。

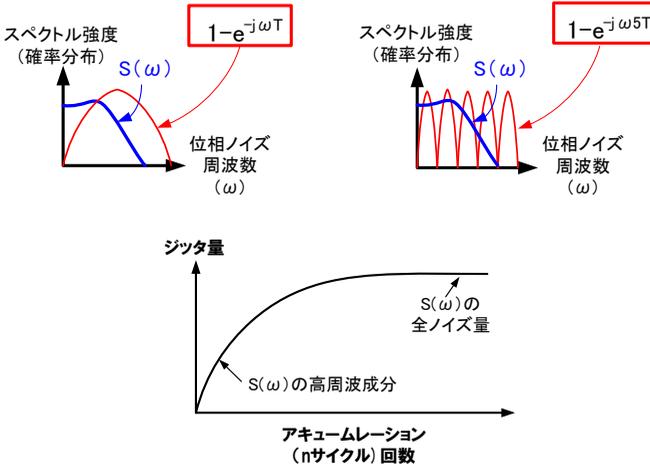


図 9・2 アキュムレーション回数とジッタ量の関係

したがって、 $n$  サイクルジッタの  $n$ 、すなわちアキュムレーション回数とジッタ量の関係は、図 9・2 となる。1 サイクルジッタには位相ノイズの高周波成分が寄与する。 $n$  が大きくなるにつれ、位相ノイズの低周波成分が寄与を始める。 $n$  が大きくなると、最終的には出力ジッタには発振器の持つ全位相ノイズが寄与するようになる<sup>28)</sup>。

#### ■参考文献

- 1) R.B. Sepe and R.I. Johnston : "Frequency Multiplier and Frequency Waveform Generator," U. S. Patent No.3,551,826, Dec. 1970.
- 2) F.M. Gardner : "Charge-Pump Phase-Lock Loops," IEEE Trans. Comm., vol.COM-28, pp.1849-1858, Nov. 1980.
- 3) C.A. Sharpe : "A 3-state phase detector can improve your next PLL design," EDN Magazine, pp.224-228, Sep. 1976.
- 4) D.H. Wolaver : "Phase-Locked Loop Circuit Design," Prentice Hall, ISBN 0-13-662743-9, 1991.
- 5) T. Watanabe and S. Yamauchi : "An all-digital PLL for frequency multiplication by 4 to 1022 with seven cycle lock time," IEEE J. Solid-State Circuits, vol.38, pp.198-204, Feb. 2003.
- 6) C.?C. Chung and C.?Y. Lee : "An all-digital phase-locked loop for high-speed clock generation," IEEE J. Solid-State Circuits, vol.38, pp.347-351, Feb. 2003.
- 7) T. Olsson and P. Nilsson : "A digitally controlled PLL for SoC applications," IEEE J. Solid-State Circuits, vol.39, pp.751-760, May 2004.
- 8) J. Dunning, G. Garcia, J. Lundberg, and E. Nuckolls : "An all-digital phase-locked loop with 50-cycle lock time suitable for high performance microprocessors," IEEE J. Solid-State Circuits, vol.30, pp.412-422, Apr. 1995.
- 9) R.B. Staszewski, et al. : "All-Digital TX Frequency Synthesizer and Discrete-Time Receiver for Bluetooth Radio in 130-nm CMOS," IEEE Journal of Solid State Circuits, vol.39, no.12, pp.2278-2291, Dec. 2004.
- 10) T.A.D. Riley, M.A. Copeland, and T.A. Kwasniewski : "Delta-sigma modulation in fractional- N frequency synthesis," IEEE J. Solid-State Circuits, vol.28, pp.553-559, May 1993.
- 11) S. Doshu, T. Morie, K. Okamoto, Y. Yamada, and K. Sogawa : "A-90 dBc@ 10 kHz Phase Noise Fractional-N Frequency Synthesizer with Accurate Loop Bandwidth Control Circuit," IEICE Transactions on Electronics 2006 E89-C(6), pp.739-745.
- 12) M. Gupta and B.-s. Song : "A 1.8 GHz Spur-Cancelled Fractional-N Frequency Synthesizer with LMS-Based DAC Gain Calibration," The Digest Paper of International Solid-State Conference 2006, pp.1922-1931, 2006.
- 13) H.-R. Lee, O. Kim, K. Jung, Shin, J. and D.-K. Jeong : "A PVT-Tolerant Low-1/f Noise Dual-Loop Hybrid PLL in 0.18/spl mu/m," The Digest Paper of International Solid-State Conference 2006, pp.2402-2411, 2006.
- 14) S. Doshu, N. Yanagisawa, S. Watanabe, T. Bokui, and K. Nishikawa : "Development of a CMOS Data Recovery PLL for DVD-ROMx14," IEICE Trans. Fundamentals, vol.E85-A, Apr. 2002.
- 15) T. Yoshikawa : "A 1.25Gb/s CMOS ReceiverCore with Plesiochronous clocking Capability for Asynchronous burst Data Acquisition," The Digest Paper of International Solid-State Conference 2000, 15.4.
- 16) C.R. Hogge Jr. : "Self Correcting Clock Recovery Circuit," IEEE J. Lightwave Technology, vol.LT-3, pp.1312-1314, Dec. 1985.
- 17) 江島直樹 : "クロック再生位相同期回路," 特許第 2052227 号.
- 18) T.H. Lee, et al. : "A 2.5V CMOS Delay-Locked Loop for an 18Mbit, 500Megabyte/s DRAM," IEEE Journal of Solid State Circuits, vol.29, no.12, pp.1491-1496, Dec. 1994.
- 19) Y. Aibara, E. Imaizumi, H. Takagishi, and T. Matsuura : "A Novel False Lock Detection Technique for a Wide Frequency Range Delay-Locked Loop," IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences, vol.E89-A, no.2, pp.385-390.
- 20) Y. Tokunaga, S. Sakiyama, S. Doshu, Y. Doi, and M. Hattori : "A 0.03mm2 9mW Wide-Range Duty-Cycle-Correcting False-Lock-Free DLL with Fully Balanced Charge-Pump for DDR Interface," The Digest Paper of International Solid-State Conference 2006, pp.330-331, 2006.
- 21) T. Saeki, et al. : "A Direct-Skew-Detect Synchronous Mirror Delay for Application-Specific Integrated Circuit," IEEE J. Solid-State Circuits, vol.34, no.3, pp.372- 379, Mar. 1999.

- 22) P. Larsson : “High-speed architecture for a programmable frequency divider and a dual-modulus prescaler,” IEEE J. Solid-State Circuits, vol.31, pp.744-748, May 1996.
- 23) J.B. Encinas : “Phase Locked Loops,” Microwave Technology, no.6, Chapman & Hall, ISBN: 0412482606.
- 24) J. Craninckx and M. Steyaert : “A fully integrated CMOS DCS-1800 frequency synthesizer,” IEEE J. Solid-State Circuits, vol.33, pp.2054-2065, Dec. 1998.
- 25) J. G. Maneatis, J. Kim, I. McClatchie, J. Maxey, and M. Shankaradas : “Self-Biased High-Bandwidth Low-Jitter 1-to-4096 Multiplier Clock Generator PLL,” IEEE J. Solid-State Circuits, vol.38, pp.1795-1803, Nov. 2003.
- 26) 道正志郎, 他 : “低域ろ波回路およびフィードバックシステム,” 特許第 4220843 号.
- 27) S. Doshio, et al. : “An Ultra-Wide Range Digitally Adaptive Control Phase Locked Loop with New 3-Phase Switched Capacitor Loop Filter,” IEICE TRANSACTIONS on Electronics, vol.E90-C, no.6, pp.1197-1202.
- 28) 後藤健二 : “発振器のジッタと位相ノイズに関する考察,” 第 10 回精密周波数発生回路の安定化技術調査専門委員会資料, pp.1-5, 2000.